

OKI 電子デバイス

作成：1998年 1月
 前回作成：1996年 8月

MSM82C84A-2

CMOS Clock Generator and Driver
 For MSM80C86A, MSM80C88A Processor

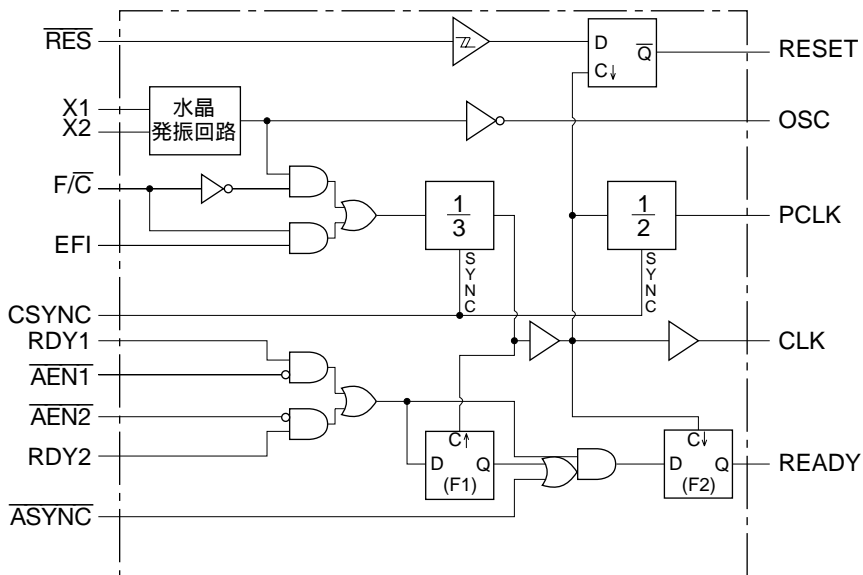
■ 概要

MSM82C84A-2は、MSM80C86A、MSM80C88Aのシステムクロックを発生するクロックジェネレータです。シリコンゲートCMOSテクノロジーを採用し、スタンバイ電流40 μ A（最大）であり、また8MHz CLK出力時でも消費電流16mA（最大）と極めて低消費電力です。

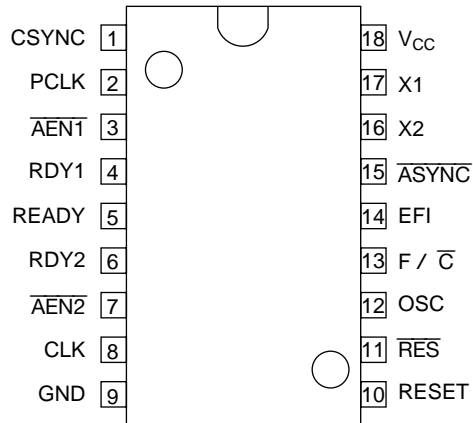
■ 特長

- 動作周波数 6～24MHz（CLK出力2～8MHz）
- シリコンゲートCMOSテクノロジーによる低消費電力動作
- 水晶発振回路内蔵
- 3～6V単一電源
- MSM80C86A、MSM80C88AのREADY、RESET信号同期回路内蔵
- TTLコンパチブル
- シュミットトリガ回路内蔵（ $\overline{\text{RES}}$ 入力）
- 18ピンプラスチックDIP（DIP18-P-300-2.54）：（製品名：MSM82C84A-2RS）
- 20ピンプラスチックQFJ（QFJ 20-P-S350-1.27）：（製品名：MSM82C84A-2JS）
- 24ピンプラスチックSOP（SOP24-P-430-1.27-K）：（製品名：MSM82C84A-2GS-K）

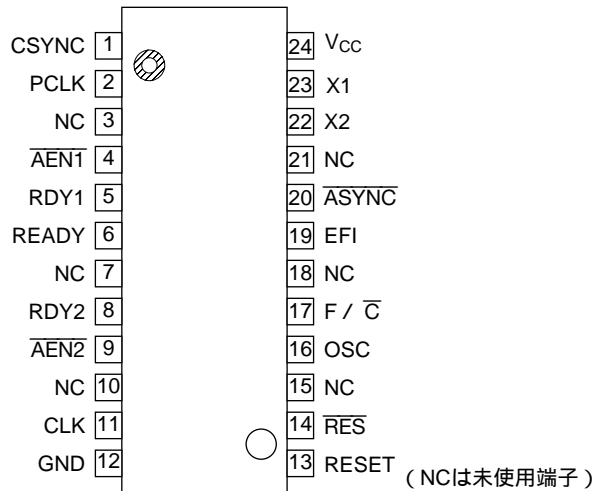
■ 回路構成



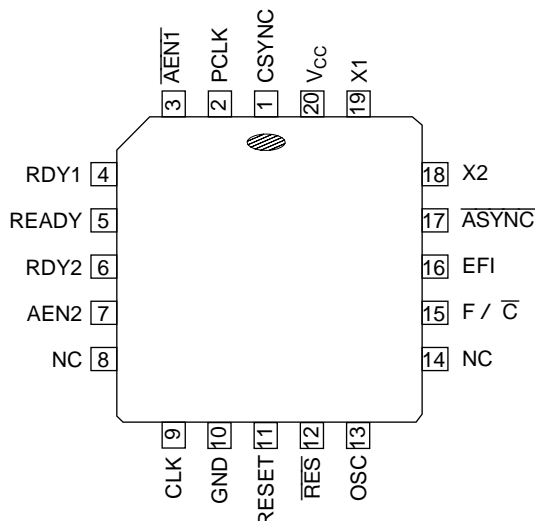
■ 端子接続（上面図） 18ピンプラスチックDIP MSM82C84A-2RS



24ピンプラスチックSOP MSM82C84A-2GS-K



20ピンプラスチックQFJ MSM82C84A-2JS



(注) 形名の現品への表示は簡略形を用いIM82C84A-2となります。
NCは未使用端子。

■ 電気的特性

● 絶対最大定格

項目	記号	条件	定格値		単位
			MSM82C84A-2RS/JS	MSM82C84A-2GS	
電源電圧	V_{CC}	GNDを基準にした場合	- 0.5 ~ + 7		V
入力電圧	V_{IN}		- 0.5 ~ $V_{CC} + 0.5$		V
出力電圧	V_{OUT}		- 0.5 ~ $V_{CC} + 0.5$		V
保存温度	T_{STG}		- 55 ~ + 150		
許容損失	P_D	$T_a = 25$	0.8	0.7	W

● 動作範囲

項目	記号	範囲	単位
電源電圧	V_{CC}	3 ~ 6	V
動作温度	T_{OP}	- 40 ~ + 85	

● 推奨動作条件

項目	記号	Min.	Typ.	Max.	単位
電源電圧	V_{CC}	4.5	5	5.5	V
動作温度	T_{OP}	- 40	+ 25	+ 85	
"L"入力電圧	V_{IL}	- 0.5		+ 0.8	V
"H"入力電圧 (\overline{RES} 以外)	T_{IH}	2.2		$V_{CC} + 0.5$	V
"H"入力電圧 (\overline{RES})		$0.6V_{CC}$		$V_{CC} + 0.5$	V

● 直流特性

($V_{CC} = 5V \pm 10\%$, $T_a = - 40 \sim + 85$)

項目	記号	条件	Min.	Max.	単位
"L"出力電圧 (CLK)	V_{OL}	$I_{OL} = 4mA$		0.4	V
"L"出力電圧 (CLK以外)	V_{OL}	$I_{OL} = 2.5mA$		0.4	V
"H"出力電圧 (CLK)	V_{OH}	$I_{OH} = - 4mA$	$V_{CC} - 0.4$		V
"H"出力電圧 (CLK以外)	V_{OH}	$I_{OH} = - 1mA$	$V_{CC} - 0.4$		V
\overline{RES} 入力ヒステリシス編	$V_{IHR-VILR}$		$0.2V_{CC}$		V
入力リーク電流 (\overline{ASYNC} 以外)	I_{LI}	0V V_{IN} V_{CC}	- 1	+ 1	μA
入力電流 (\overline{ASYNC})	I_{LIA}	0V V_{IN} V_{CC}	- 100	+ 10	μA
待機時電源電流	I_{CCS}	注1		40	μA
動作時電源電流	I_{CC}	$f = 24MHz$ $C_L = 0pF$		16	mA
入力容量	C_{IN}	$f = 1MHz$		7	pF

注記1: X1 $V_{CC} - 0.2V$, X2 0.2VF / \overline{C} $V_{CC} - 0.2V$, $\overline{ASYNC} = V_{CC}$ 又は解放 V_{IH} $V_{CC} - 0.2V$, V_{IL} 0.2V

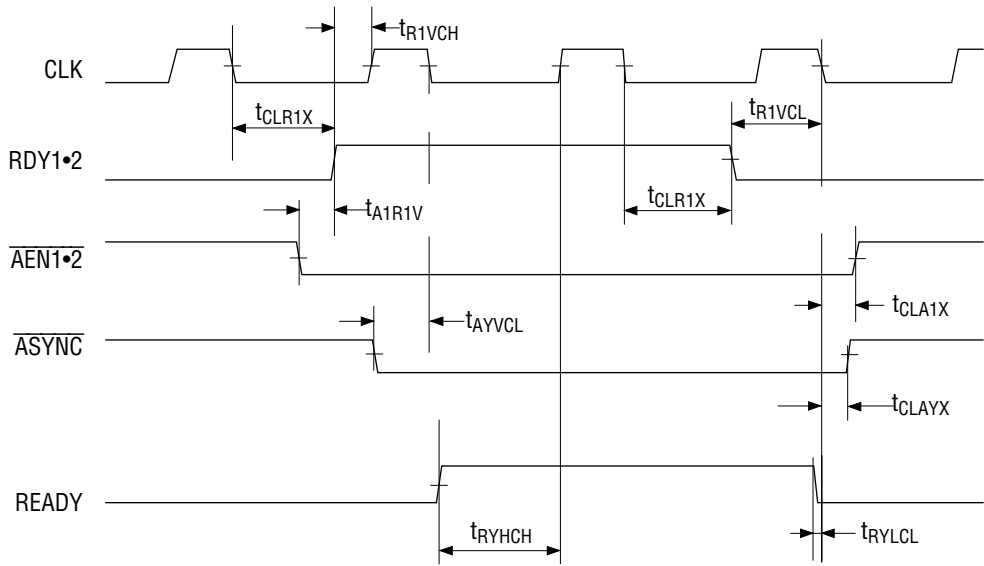
● 交流特性

(V_{CC} = 5V ± 10%, Ta = - 40 ~ 85)

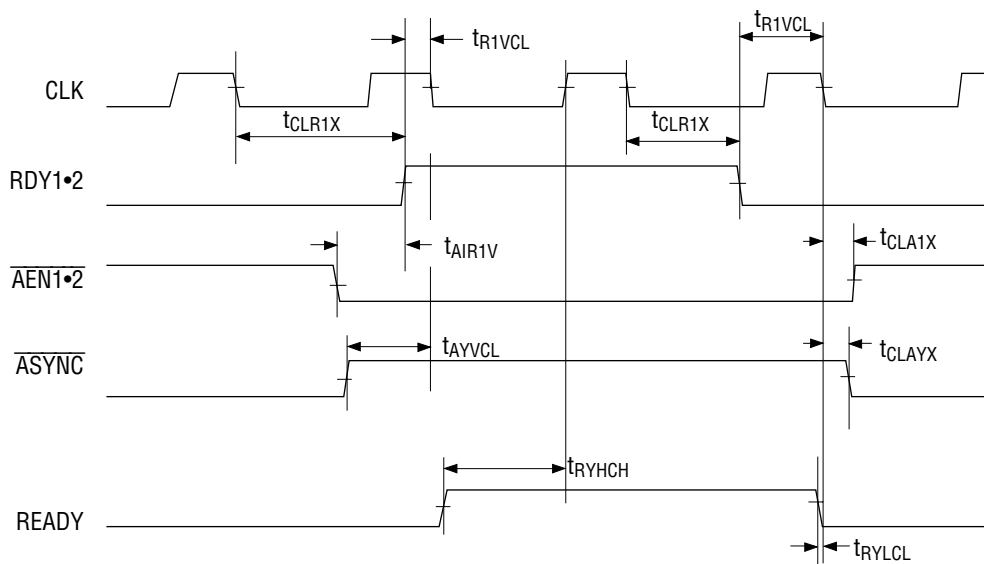
項目	記号	条件	Min.	Max.	単位
EFI高レベル時間	t _{EH} EL	90%-90%	13		ns
EFI低レベル時間	t _{EL} EH	10%-10%	17		ns
EFI周期	t _E LEL	-	36		ns
水晶周波数	-	-	6	24	MHz
RDY1, RDY2のCLK立下りへの セットアップ時間 (アクティブ)	t _{R1} VCL	$\overline{\text{ASYNC}}$ = High	35		ns
RDY1, RDY2のCLK立上りへの セットアップ時間 (アクティブ)	t _{R1} VCH	$\overline{\text{ASYNC}}$ = Low	35		ns
RDY1, RDY2のCLK立下りへの セットアップ時間 (インアクティブ)	t _{R1} VCL	-	35		ns
RDY1, RDY2のCLK立下りへの ホールド時間	t _{CL} R1X	-	0		ns
ASYNCのCLK立下りへのセットアップ時間	t _A VCL	-	50		ns
ASYNCのCLK立下りへのホールド時間	t _{CL} AYX	-	0		ns
AEN ₁ (AEN ₂) のRDY1 (RDY2) 立上りへのセットアップ時間	t _{A1} R1V	-	15		ns
AEN ₁ , AEN ₂ のCLK立下りへのホールド時間	t _{CL} A1X	-	0		ns
CSYNCのEFI立上りへの セットアップ時間	t _Y HEH	-	20		ns
CSYNCのEFI立上りへのホールド時間	t _E HYL	-	10		ns
CSYNCパルス幅	t _Y HYL	-	2 × t _E LEL		ns
RESのCLK立下りへのセットアップ時間	t _I HCL	-	65		ns
$\overline{\text{RES}}$ のCLK立下りへのホールド時間	t _{CL} I1H	-	20		ns
入力の立上り時間	t _I LIH	-		15	ns
入力の立下り時間	t _I HIL	-		15	ns
CLK周期	t _{CL} CL	-	125		ns
CLK高レベル時間	t _{CH} CL	-	$\frac{1}{3}t_{CL}CL + 2$		ns
CLK低レベル時間	t _{CL} CH	-	$\frac{2}{3}t_{CL}CL - 15$		ns
CLK立上り・立下り時間	t _{CH1,CH2} t _{CL2,CL1}	1.0V ~ 3.5V		10	ns
PCLK高レベル時間	t _{PH} PL	-	t _{CL} CL-20		ns
PCLK低レベル時間	t _{PL} PH	-	t _{CL} CL-20		ns
READY立下りからCLK立下りまでの時間	t _{RY} LCL	-	- 8		ns
READY立上りからCLK立上りまでの時間	t _{RY} HCH	-	$\frac{2}{3}t_{CL}CL - 15$		ns
CLK立下りからRESET立下りまでの 遅延時間	t _{CL} LIL	-		40	ns
CLK立下りからPCLK立上りまでの 遅延時間	t _{CL} PH	-		22	ns
CLK立下りからPCLK立下りまでの 遅延時間	t _{CL} PL	-		22	ns
OSC立下りからCLK立上りまでの 遅延時間	t _{OL} CH	-	- 5	22	ns
OSC立下りからCLK立下りまでの 遅延時間	t _{OL} CL	-	2	35	ns
出力立上り時間 (CLKを除く)	t _{OL} OH	0.8V ~ 2.2V		15	ns
出力立下り時間 (CLKを除く)	t _{OH} OL	2.2V ~ 0.8V		15	ns

注記： 上記条件の項でタイミングを示していない項目については、入力、出力ともV_L = 1.5V、V_H = 1.5Vで測定。

● READY波形 ($\overline{\text{ASYNC}} = \text{L}$)

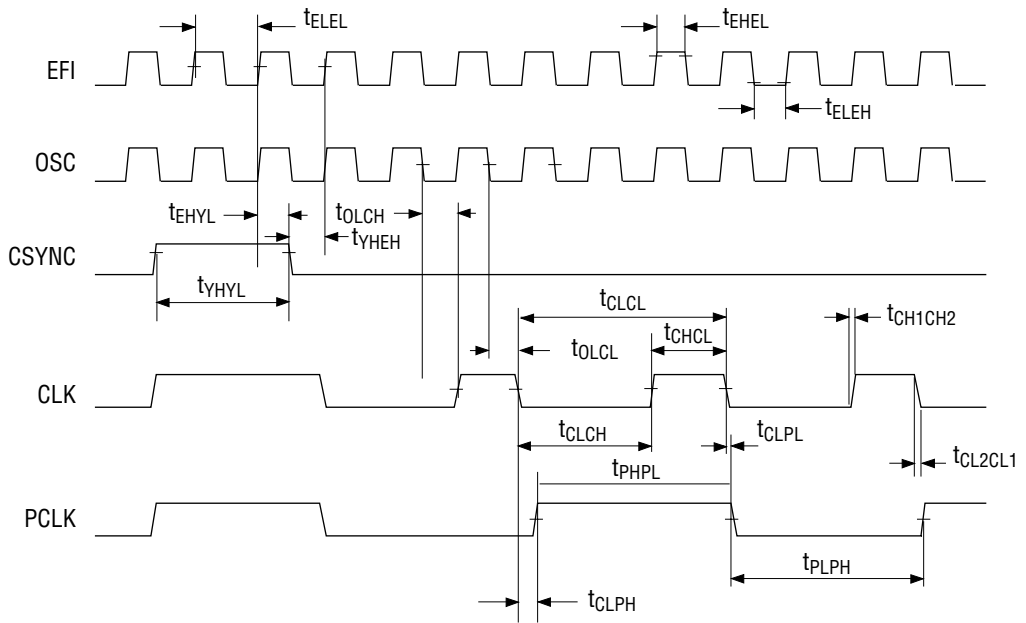


● READY波形 ($\overline{\text{ASYNC}} = \text{H}$)

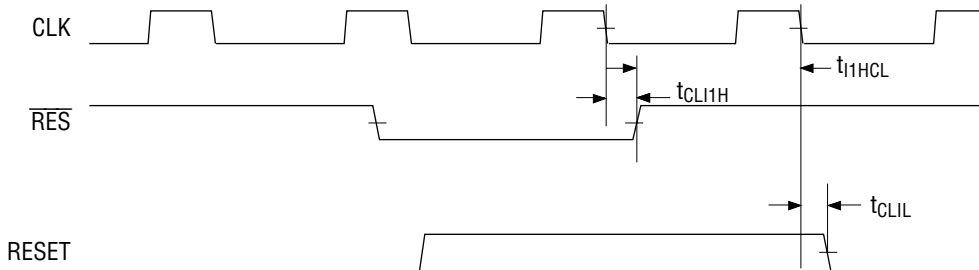


■ タイミング図

● CLK・PCLK・OSC波形



● RESET波形



■ 端子説明

端子名	名称	入力 出力	機能
CSYNC	クロック 同期用信号	入力	MSM82C84A-2を複数個用いて、同相のCLKを出力する場合の同期用の信号です。 この信号が高レベルの時、内部のカウンタは、リセットされCLKは、高レベルを出力します。 その後、この信号を低レベルにする事により内部のカウンタが動作し、33%デューティのCLKが出力されます。 この信号を使用する場合は、外部でEFIと同期をとる必要があります。 内部発振器を用いる時は、この信号を低レベルに固定して下さい。
PCLK	周辺用 クロック出力	出力	周辺回路のクロック信号です。このクロックは、CLK信号の1/2の周波数で50%デューティサイクルで出力されます。
$\overline{\text{AEN1}}$, $\overline{\text{AEN2}}$	アドレス イネーブル 信号	入力	$\overline{\text{AEN1}}$ はRDY1を、 $\overline{\text{AEN2}}$ は、RDY2を有効にするための信号です。 この信号を低レベルにする事により、それぞれのRDYが有効になります。 マルチマスタ構成の場合は、2つの入力を使いわけの事になりますが、その他の場合は、使用するRDY入力を有効にする $\overline{\text{AEN}}$ のみ低レベルにして下さい。
RDY1, RDY2	バス・レディ 信号	入力	システムデータバスに接続されているデバイスが、データバスのリード、ライトを完了した事を高レベルで示す信号です。 RDYは、それぞれ該当するAENが低レベルの時のみ有効です。
READY	レディ出力	出力	この信号は、バスレディ信号をCLKと同期化した信号です。 RDY入力と同相でありCPUに対しての、ホールド時間を保証して出力されます。
CLK	クロック出力	出力	この信号は、CPU及びCPUのシステムデータバスに接続されている周辺デバイスに使われるクロック信号です。出力波形は、X1、X2に接続された水晶振動子の発振周波数の1/3又は、EFI入力周波数の1/3の周波数で33%デューティサイクルで出力されます。
$\overline{\text{RES}}$	リセット信号	入力	CPUへのリセット信号を発生させるための入力で低レベルでアクティブとなります。 この信号の入力回路は、シュミットトリガ回路を使用していますので簡単なRC回路の接続でパワー・オン・リセットが行えます。
RESET	リセット出力	出力	$\overline{\text{RES}}$ に入力した信号をCLKで同期した信号で、 $\overline{\text{RES}}$ 入力に対し、逆相で出力されます。 この信号は、システム・リセット信号としてCPUに入力されます。
F/ $\overline{\text{C}}$	クロック 選択信号	入力	この信号は、CLK信号を作る基本信号を選択します。 低レベルにしますとCLKは水晶発信回路の出力によって発生され、高レベルにするとEFIの入力信号から発生されます。
EFI	外部クロック 信号	入力	F/ $\overline{\text{C}}$ が高レベルの時、この端子に入力される信号がCLKを発生します。入力する信号の周波数は、要求されるCLK周波数の3倍を必要とします。

端子名	名称	入力 出力	機能
X1, X2	水晶振動子 接続端子	入力	水晶発振用の水晶振動子を接続します。 水晶の周波数は、要求されるCLK周波数の3倍を必要とします。
OSC	水晶発振出力	出力	水晶発振器の出力です。X1、X2に接続した水晶振動子の発振周波数と同じ周波数で出力されます。 この信号は、CLKの発生にEFI入力を使用するために F/\bar{C} を高レベルにした場合でも、X1、X2に水晶振動子を接続している限り独立してとり出せます。
$\overline{\text{ASYNC}}$	レディ同期 選択信号	入力	READY信号発生回路の同期モードを選択する信号です。この信号を低レベルにした場合、2度の同期化によりREADY信号を発生します。 また高レベルにすると、1度の同期化によりREADY信号を発生します。 この端子は、内部にプルアップ抵抗を内蔵しています。
V _{CC}			5V電源
GND			GND

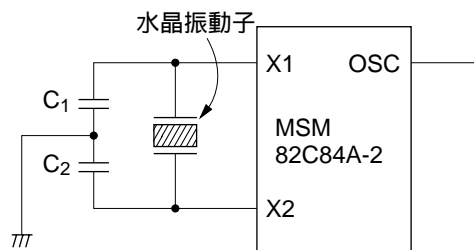
■ 動作説明

● 発振回路

MSM82C84A-2のX1、X2端子に水晶振動子を接続することにより、内部の発振回路を駆動することができます。

この場合水晶振動子の周波数としては、要求されるCLK周波数の3倍のものを接続して下さい。
また発振回路の出力（水晶振動子の周波数と同一の出力）はOSC端子に出力されていますので独立して使用することができます。

推奨発振回路



入力周波数 6 ~ 15MHzの場合
 $C_1 = C_2 = 33\text{pF}$
 15 ~ 24MHzの場合
 $C_1 = C_2 = 10\text{pF}$

注記： 振動子により若干定数が変わる場合がありますので、設計時には御使用の振動子メーカーに御相談下さい。

● クロック発生回路

入力された外部クロックあるいは水晶発振回路の出力を1/3分周した出力（CLK）とさらに1/2分周した出力（PCLK）の2種類を発生します。

この場合クロック選択信号（ F/\bar{C} ）を高レベルにするとEFI端子へ入力された外部クロックからCLK、PCLKが発生され、低レベルの場合は水晶発振回路の出力から発生されます。

● リセット回路

MSM82C84A-2は、 $\overline{\text{RES}}$ 入力にシュミットトリガ回路を用いていますので簡単なRC回路の接続により、パワーオンリセットができます。

この時CPUに80C86、80C88を使用する場合は、 $V_{CC} = 4.5\text{V}$ に達してから50ms以上の間 $\overline{\text{RES}}$ 入力を低レベルに保つ必要があります。

● レディ回路

READY信号発生回路は、ASYNCにより同期モードを選択できます。

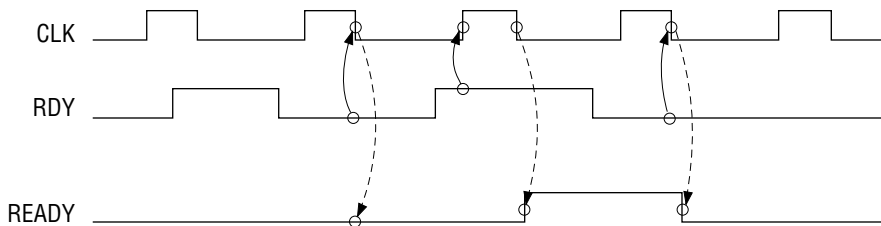
(i) $\overline{\text{ASYNC}} = \text{低レベルの時}$

RDY入力は、2度の同期化によりREADY信号として出力されます。

- RDYの高レベル入力は、1度初段のフリップフロップ（回路構成図（F1））のCLK立上りで同期されます。

次に次段のフリップフロップ（回路構成図（F2））のCLK立下がり同期され高レベルのREADY信号として出力されます。

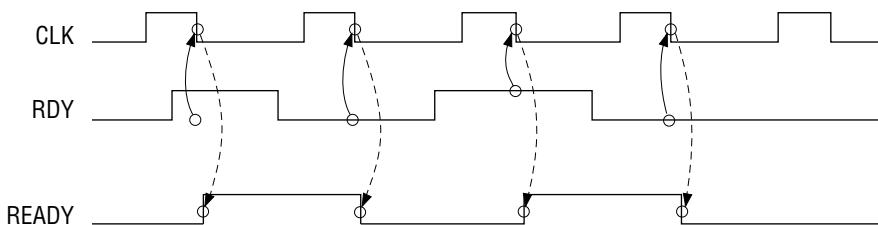
又、RDYの低レベル入力は、直接次段のフリップフロップのCLK立下がり同期され、低レベルのREADY信号として出力されます。（下図参照）



(ii) $\overline{\text{ASYNC}} = \text{高レベルの時}$

RDY入力は、1度の同期化によりREADY信号として出力されます。

- RDYの高レベル、低レベル入力共、次段のフリップフロップのCLK立下がり同期され、高レベル、低レベル信号として出力されます。（下図参照）

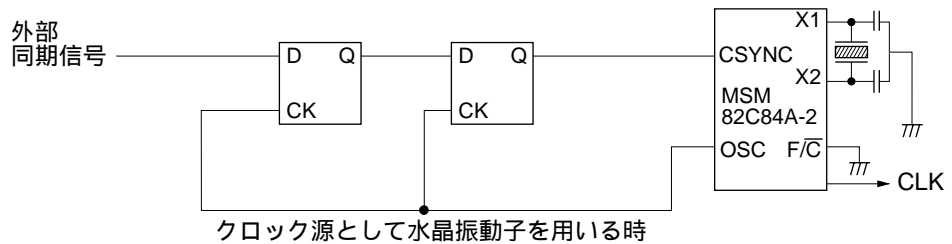
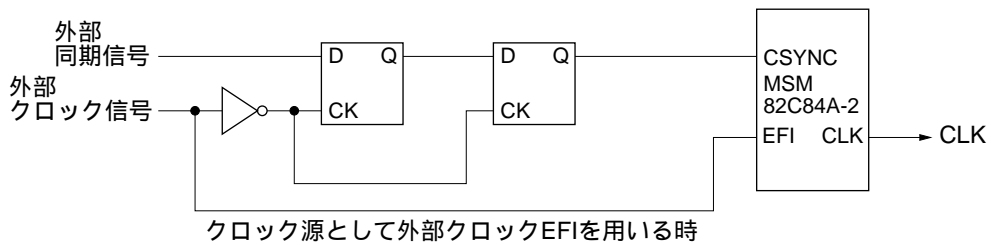


■ 使用例

電源を入れた際の82C84A-2の3分周カウンタは不定です。そのため、CLKを他の信号と同期させるCSYNC端子が設けてあります。

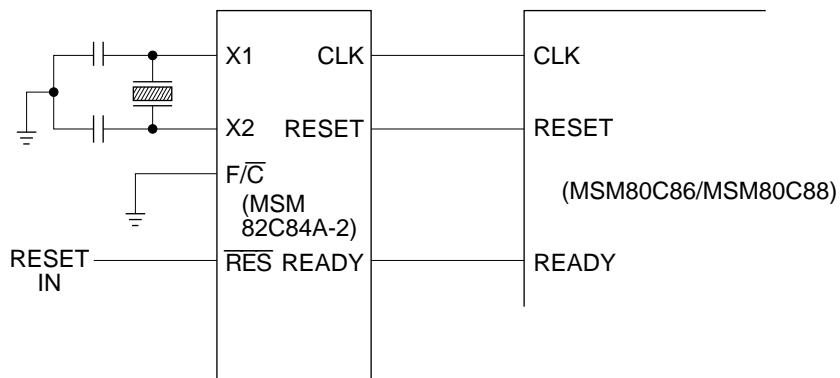
CSYNCを高レベルにすると、CLK、PCLKは、高レベルを出力します。その後CSYNCを低レベルにしますと入力クロックの次の立上がりからCLKは、3分周されて出力します。

CSYNCが入力クロックと非同期の場合は、下記のような回路を用いて同期をとって下さい。



■ MSM82C84A-2の応用例

MSM80C86 / MSM80C88のCLK、RESETおよびREADY入力信号として使います。



■ 使用上の注意

MSM80C86A-10, MSM80C88A-10を8MHz < 動作周波数 10MHzで使用するにはMSM82C84A-2は使用できません。

■ 付録

● 低速版から高速版への置き換え時の注意事項

従来生産しておりました低速版は、下記表のとおり高速版に集約されております。低速版をお使いの方で高速版に置き換えをされる方は、次ページ以降の置き換え時の注意事項をお読みください。

高速版製品名（集約製品）	低速版製品名（廃品）	備考
M80C85AH	M80C85A/M80C85A-2	8bit MPU
M80C86A-10	M80C86A/M80C86A-2	16bit MPU
M80C88A-10	M80C88A/M80C88A-2	8bit MPU
M82C84A-2	M82C84A/M82C84A-5	クロックジェネレータ
M81C55-5	M81C55	RAM,I/O,タイマ
M82C37B-5	M82C37A/M82C37A-5	DMAコントローラ
M82C51A-2	M82C51A	USART
M82C53-2	M82C53-5	タイマ
M82C55A-2	M82C55A-5	PPI

MSM82C84AとMSM82C84A-5/-2との相違点

1) 製造プロセスの相違点

どちらも3 μ Si-Gate CMOSプロセスであり相違点はありません。
また、MSM82C84A-5とMSM82C84A-2は全く同一のチップです。

2) 機能上の相違点

項目	MSM82C84A	MSM82C84A-5/-2
ASYNC \bar{C} 端子のIC内部での処理	普通のCMOS入力端子	プルアップ抵抗内蔵の入力端子
使用上の注意点	未使用の場合はプルアップまたはプルダウンの端子処理が必要	プルダウン抵抗を用いる場合は抵抗値に制限あり(3頁参照)

3) 規格上の相違点

3-1) DC特性

項目	記号	MSM82C84A	MSM82C84A-5/-2
“L”出力電圧 (CLK)	V _{OL}	0.45 V最大 (+ 5 mA)	0.40 V最大 (+ 4 mA)
“L”出力電圧 (CLK以外)	V _{OL}	0.45 V最大 (+ 5 mA)	0.40 V最大 (+ 2.5 mA)
“H”出力電圧 (CLK)	V _{OH}	3.7 V最小 (1 mA)	V _{CC} 0.1 V最小 (4 mA)
“H”出力電圧 (CLK以外)	V _{OH}	3.7 V最小 (1 mA)	V _{CC} 0.1 V最小 (1 mA)
RES入力ヒステリシス 幅	V _{IHR} - V _{ILR}	0.25 V最小	0.2 × V _{CC} min
入力電流 (ASYNC \bar{C})	I _{LI} A	10 μ A ~ + 10 μ A	100 μ A ~ + 10 μ A
入力リーク電流	I _{LI}	10 μ A ~ + 10 μ A	1 μ A ~ + 1 μ A
待機時電源電流	I _{CCS}	100 μ A 最大	40 μ A 最大

上記のとおりV_{OL}と入力電流 (ASYNC \bar{C}) 以外は、MSM82C84A-5/-2の規格がMSM82C84Aの規格をカバーするので問題ありません。

3-2) AC特性

(1) MSM82C84A vs. MSM82C84A-2

項目	記号	MSM82C84A	MSM82C84A-2
入力の立ち上がり時間	tILIH	20 ns 最大	15 ns 最大
入力の立ち下り時間	tILIH	20 ns 最大	15 ns 最大
CLK高レベル時間	tCHCL	65 ns 最小	1/3 tCLCL + 2 ns 最小
CLK高レベル時間	tCLCH	119 ns 最小	2/3 tCLCL 15 ns 最小
CLK立ち上がり / CLK立ち下り時間	tCH1CH2 tCL1CL2	15 ns 最大	10 ns 最大
PCLK高レベル時間	tPHPL	180 ns 最小	tCLCL 20 ns 最小
PCLK低レベル時間	tPLPH	180 ns 最小	tCLCL 20 ns 最小
READY立ち上がりからCLK 立ち上がりまでの時間	trYHCH	114 ns 最小	2/3 tCLCL 15 ns 最小

上記のとおり入力の立ち上がり / 立ち下り時間以外は、MSM82C84A-2の規格がMSM82C84Aの規格をカバーするので問題ありません。

(2) MSM82C84A-5 vs. MSM82C84A-2

項目	記号	MSM82C84A-5	MSM82C84A-2
EFI高レベル時間	tEHEL	20 ns 最小	13 ns 最小
EFI低レベル時間	tELEH	20 ns 最小	17 ns 最小
EFI周期	tELEL	66 ns 最小	36 ns 最小
水晶周波数		15 MHz 最大	24 MHz 最大
CLK周期	tCHCL	200 ns 最小	125 ns 最小

上記のとおりMSM82C84A-2の規格がMSMMSM82C84A-5の規格をカバーするので問題ありません。

4) 使用上の注意

MSM82C84AとMSM82C84A-5/-2とは、 $\overline{\text{ASYNC}}$ の端子処理が異なるので置き換え時には以下の注意が必要です。

ケース1：外部にプルアップ抵抗だけを接続している場合

MSM82C84A-2への置き換えは問題ありません。

ケース2：外部にプルダウン抵抗だけを接続している場合

プルダウン抵抗 $8\text{k}\Omega$ 以下の場合には問題ありません。

プルダウン抵抗 $8\text{k}\Omega$ 以上の場合には、プルダウン抵抗を $8\text{k}\Omega$ 以下としてください。

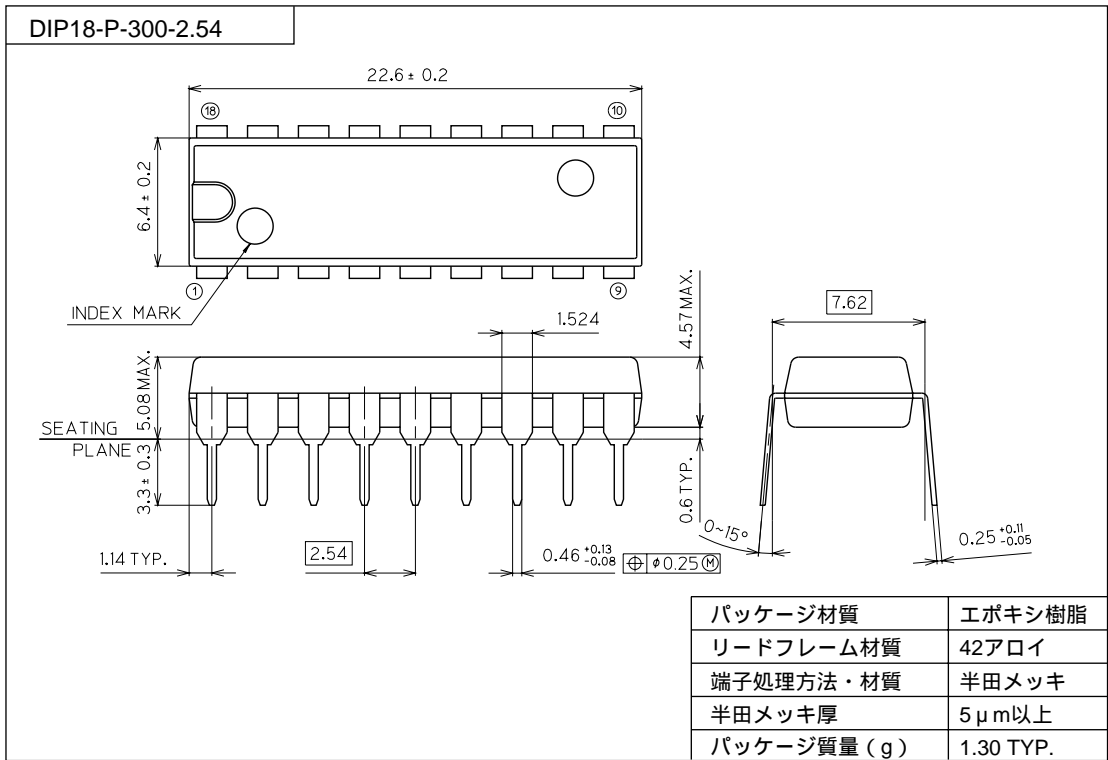
ケース3：他のICの出力を接続している場合

MSM82C84A-2の $\overline{\text{ASYNC}}$ を駆動しているICの出力の I_{OL} に $100\mu\text{A}$ 以上の余裕がある場合は問題ありません。

以上

■ パッケージ寸法図

(単位 : mm)

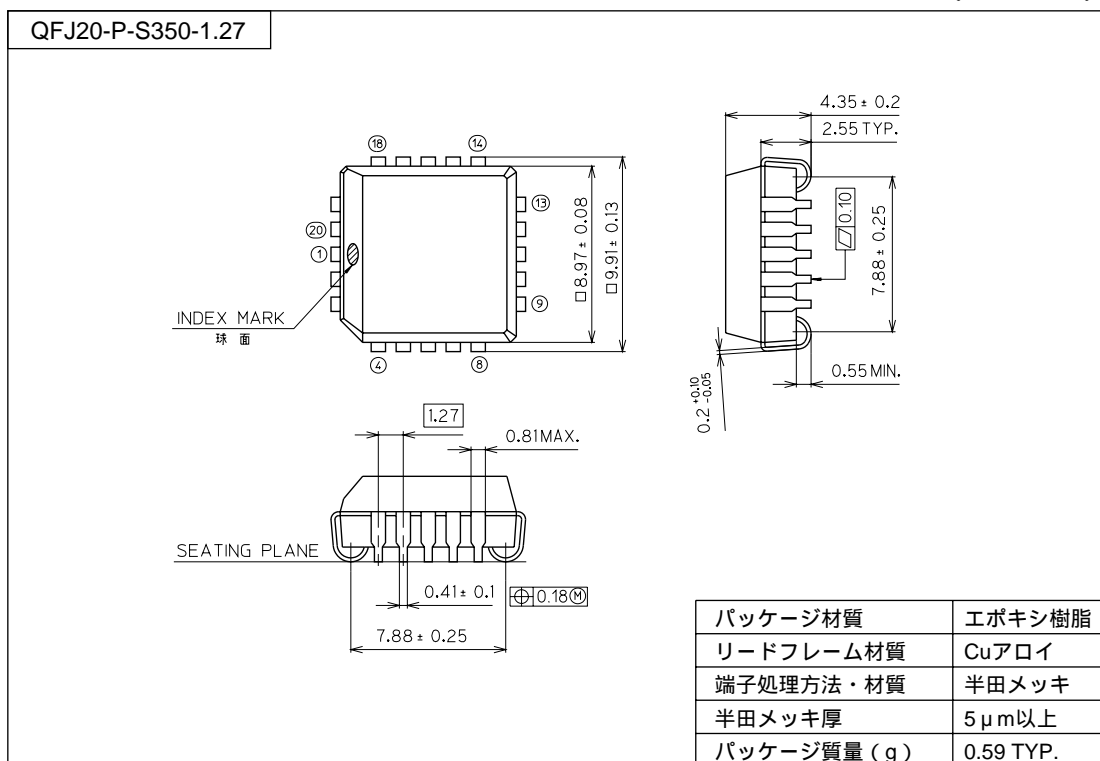


表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。

(単位 : mm)



表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。

