

OKI 電子デバイス

MSM82C37B-5

CMOS Programmable DMA Controller

■ 概要

MSM82C37B-5は、CPUの介入なしに高速な情報転送ができるDMA (Direct Memory Access) コントローラで、マイクロコンピュータシステムの周辺デバイスとして用いられます。

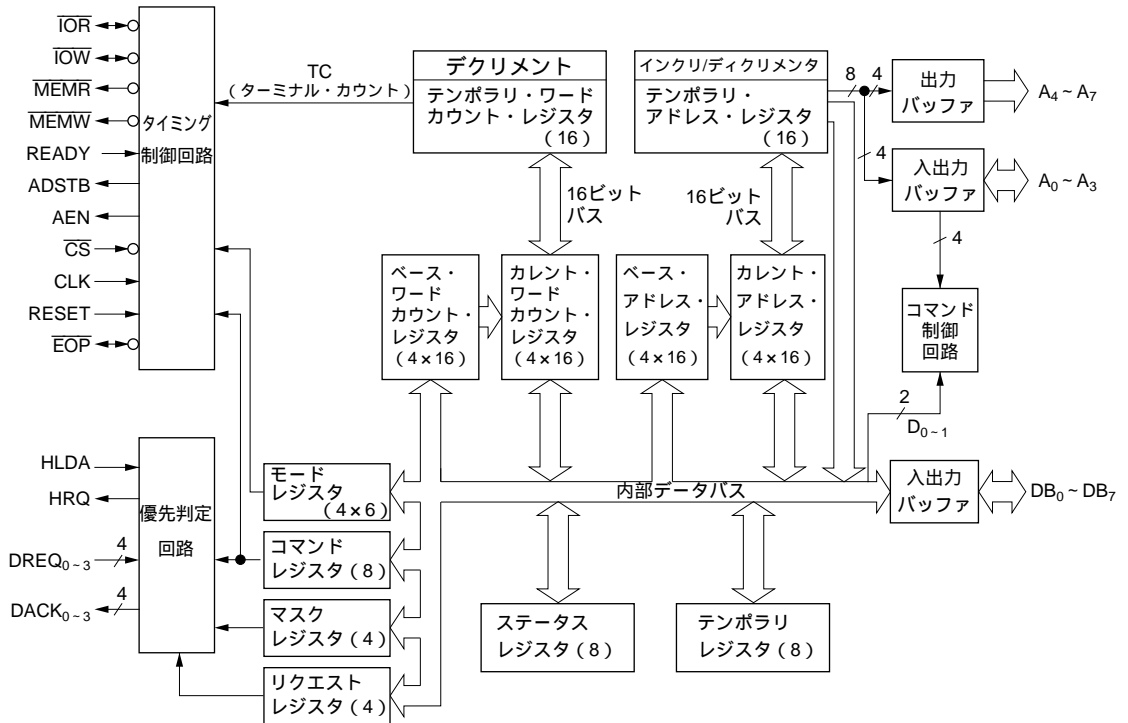
MSM82C37B-5は、プログラム可能な4つの独立したDMAチャンネルをもっています。

MSM82C37B-5は、シリコンゲートCMOSテクノロジーを用いているため、全ての動作を停止する待機時には、電源電流が10 μ A (最大)と極めて低消費電力であり、また動作周波数が最高5 MHzと極めて高速です。

■ 特長

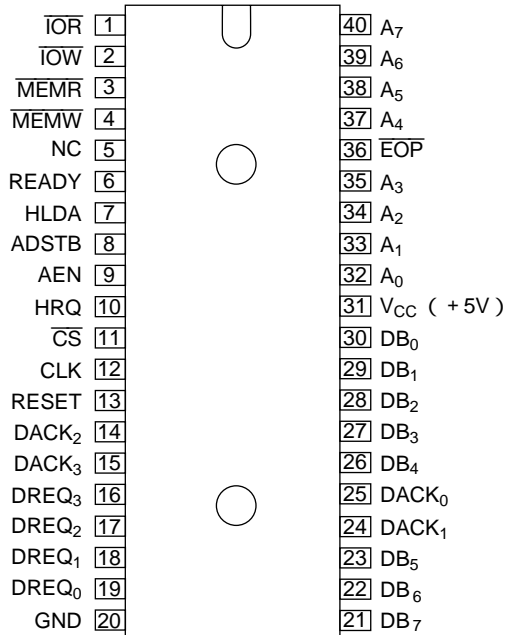
- 最大動作周波数 5 MHz ($V_{CC} = 5V$)
- シリコンゲートCMOSテクノロジーによる高速低消費電力
- - 40 ~ + 85 の広範囲な温度保証
- 4チャンネルの独立したDMA制御
- DMA要求のマスクおよびプログラム可能
- DMA要求の優先機能あり
- DREQおよびDACKの入出力論理の反転可能
- DMAアドレスの増加・減少の選択可能
- メモリ間DMA転送可能
- カスケード接続によるチャンネル拡張可能
- EOP入力によるDMA転送終了可能
- 40ピンプラスチックDIP (DIP40-P-600-2.54) : (製品名: MSM82C37B-5RS)
- 44ピンプラスチックQFJ (QFJ44-P-S650-1.27) : (製品名: MSM82C37B-5JS)
- 44ピンプラスチックQFJ (QFJ44-P-S650-1.27) : (製品名: MSM82C37B-5VJS) AMDピンコンパチブル
- 44ピンプラスチックQFP (QFP44-P-910-0.80-2K) : (製品名: MSM82C37B-5GS-2K)
- インテル社8237A-5と互換性あり

■ 回路構成



■ 端子接続（上面図）

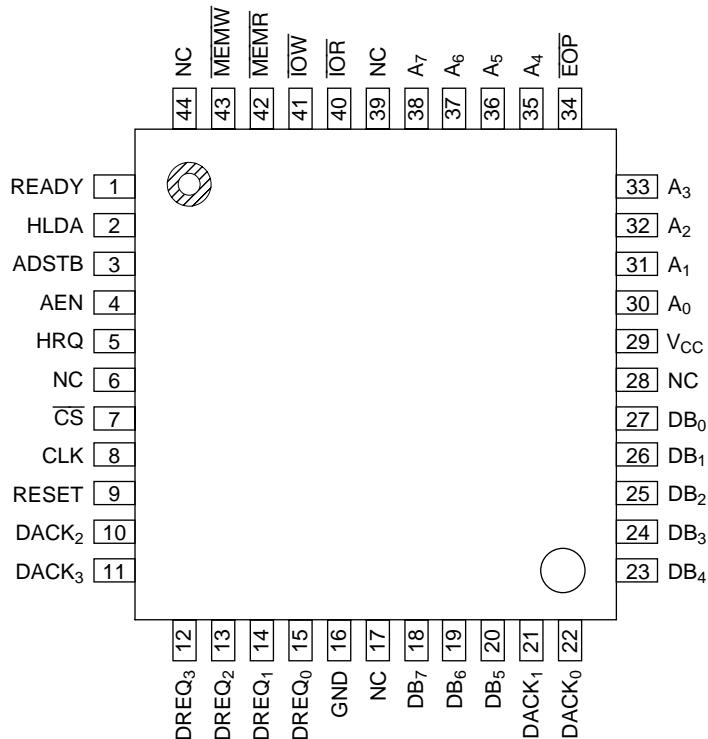
40ピンプラスチックDIP MSM82C37B-5RS



注記1： NCは未使用端子。

注記2： 形名の現品への表示は簡略形を用い、M82C37B-5となります。

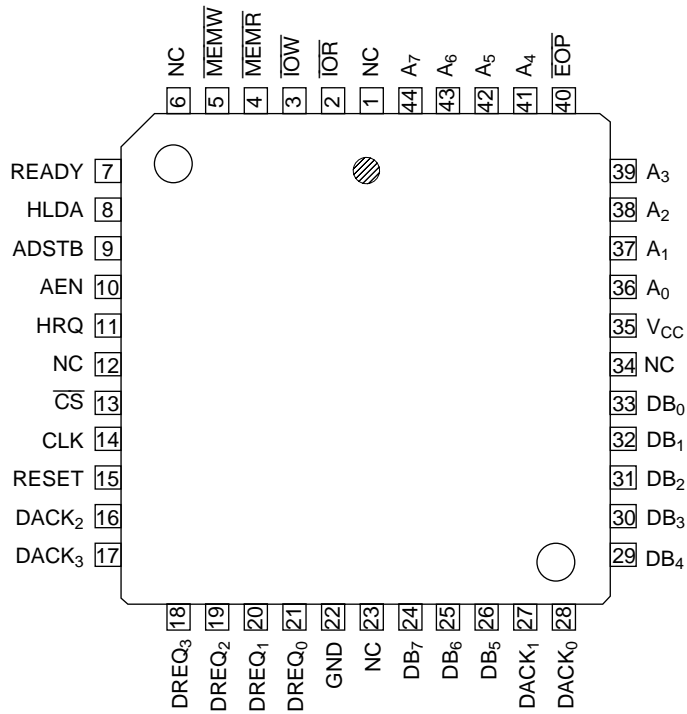
44ピンプラスチックQFP MSM82C37B-5GS-2K



注記1： NCは未使用端子。

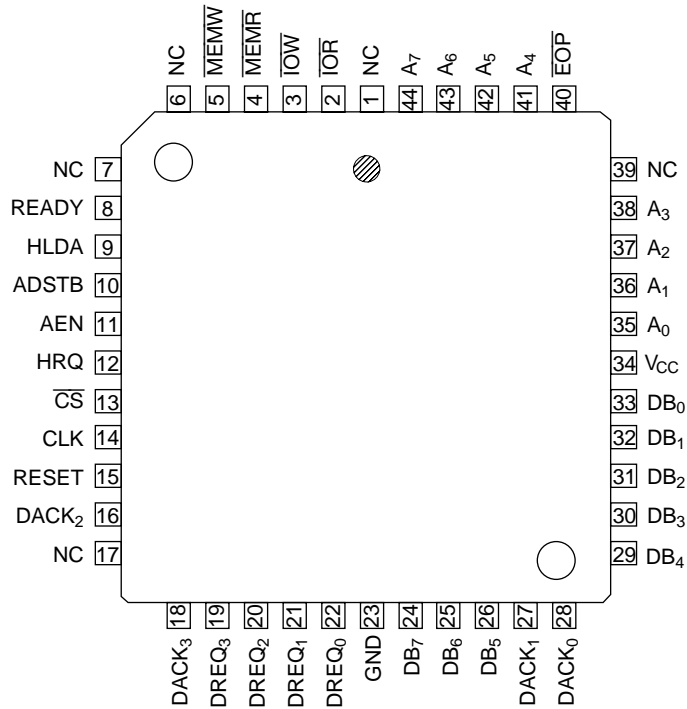
注記2： 形名の現品への表示は簡略形を用い、M82C37B-5となります。

44ピンプラスチックQFJ MSM82C37B-5JS



注記：NCは未使用端子。

44ピンプラスチックQFJ MSM82C37B-5VJS (AMDピンコンパチブル)



注記：NCは未使用端子。

■ 電気的特性

● 絶対最大定格

項目	記号	条件	規格値			単位
			MSM82C37B-5RS	MSM82C37B-5GS	MSM82C37B-5JS	
電源電圧	V_{CC}	GNDを基準にした場合	- 0.5 ~ + 7			V
入力電圧	V_{IN}		- 0.5 ~ $V_{CC} + 0.5$			V
出力電圧	V_{OUT}		- 0.5 ~ $V_{CC} + 0.5$			V
保存温度	T_{STG}		- 55 ~ + 150			
許容損失	P_D	$T_a = 25$	1.0	0.7	1.0	W

● 推奨動作条件

項目	記号	Min.	Typ.	Max.	単位
電源電圧	V_{CC}	4.5	5.0	5.5	V
動作温度	T_{OP}	- 40	+ 25	+ 85	
"L"入力電圧	V_{IL}	- 0.5		+ 0.8	V
"H"入力電圧	V_{IH}	2.2		$V_{CC} + 0.5$	V

● 直流特性

項目	記号	条件	Min.	Typ.	Max.	単位
"L"出力電圧	V_{OL}	$I_{OL} = 3.2\text{mA}$			0.4	V
"H"出力電圧	V_{OH}	$I_{OH} = - 1.0\text{mA}$	3.7			V
入力リーク電流	I_{LI}	0 V_{IN} V_{CC}	- 10		10	μA
出力リーク電流	I_{LO}	0 V_{OUT} V_{CC}	- 10		10	μA
平均動作時電源電流	I_{CC}	入力周波数 : 5MHz RESET時 $V_{IN} = 0V/V_{CC}$ $C_L = 0\text{pF}$			10	mA
待機時電源電流	I_{CCS}	HLDA = 0V, $V_{IL} = 0V$ $V_{IH} = V_{CC}$			10	μA

■ 交流特性

DMA (マスター) モード

(Ta = -40 ~ +85 , VCC = 4.5V ~ 5.5V)

記号	項目	Min.	Max.	単位	備考
t _{AEL}	CLKの立下りからAENの立上りまでの遅延時間		200	ns	
t _{AET}	CLKの立上りからAENの立下りまでの遅延時間		130	ns	
t _{AFAB}	CLKの立上りからアドレス・フローティング状態までの遅延時間		90	ns	
t _{AFC}	CLKの立上りからリード/ライト信号・フローティング状態迄の遅延時間		120	ns	
t _{AFDB}	CLKの立上りからデータバス・フローティング状態までの遅延時間		170	ns	
t _{AHR}	リード信号の立上りに対するアドレス確定のホールド時間	t _{CY} - 100		ns	
t _{AHS}	ADSTBの立下りに対するデータ確定のホールド時間	30		ns	
t _{ARW}	ライト信号の立上りに対するアドレス確定のホールド時間	t _{CY} - 50		ns	
t _{AK}	CLKの立下りからDACKがアクティブになるまでの遅延時間		170	ns	(注3)
	CLKの立上りからEOPの立上りまでの遅延時間		170	ns	(注5)
	CLKの立上りからEOPの立下りまでの遅延時間		170	ns	
t _{ASM}	CLKの立上りからアドレスが確定するまでの時間		170	ns	
t _{ASS}	ADSTBの立下りに対するデータのセットアップ時間	100		ns	
t _{CH}	CLKの高レベル時間	68		ns	(注6)
t _{CL}	CLKの低レベル時間	68		ns	(注6)
t _{CY}	CLKの周期	200		ns	(注2)
t _{DCL}	CLKの立上りからリード/ライト信号の立下りまでの遅延時間		190	ns	(注2)
t _{DCTR}	CLKの立上りからリード信号の立上りまでの遅延時間		190	ns	(注2)
t _{DCTW}	CLKの立上りからライト信号の立上りまでの遅延時間		130	ns	
t _{DQ}	CLKの立上りからHRQが確定するまでの遅延時間		120	ns	
t _{EPS}	CLKの立下りに対するEOPの立下りのセットアップ時間	40		ns	
t _{EPW}	EOPのパルス幅	220		ns	
t _{FAAB}	CLKの立上りからアドレス確定までの遅延時間		170	ns	
t _{FAC}	CLKの立上りからリード/ライト信号がアクティブになるまでの時間		150	ns	
t _{FADB}	CLKの立上りからデータ確定までの遅延時間		200	ns	
t _{HS}	CLKの立上りに対するHLDA確定のセットアップ時間	75		ns	
t _{IDH}	MEMRの立上りに対する入力データのホールド時間	0		ns	
t _{IDS}	MEMRの立上りに対する入力データのセットアップ時間	170		ns	
t _{ODH}	MEMWの立上りに対する出力データのホールド時間	10		ns	
t _{ODV}	出力データ確定からMEMWの立上りまでの時間	125		ns	
t _{QS}	CLKの立下りに対するDREQのセットアップ時間	0		ns	(注3)
t _{RH}	CLKの立下りに対するREADYのホールド時間	20		ns	
t _{RS}	CLKの立下りに対するREADYのセットアップ時間	60		ns	
t _{STL}	CLKの立上りからADSTBの立上りまでの遅延時間		130	ns	
t _{STT}	CLKの立上りからADSTBの立下りまでの遅延時間		90	ns	

スレーブモード

(Ta = - 40 ~ + 85 , V_{CC} = 4.5V ~ 5.5V)

記号	項目	Min.	Max.	単位	備考
t _{AR}	アドレス確定または \overline{CS} の立下りから \overline{IOR} の立下りまでの時間	50		ns	
t _{AW}	\overline{IOW} の立上りに対するアドレス確定のセットアップ時間	130		ns	
t _{CW}	\overline{IOW} の立上りに対する \overline{CS} の立下りのセットアップ時間	130		ns	
t _{DW}	\overline{IOW} の立上りに対するデータ確定のセットアップ時間	130		ns	
t _{RA}	\overline{IOR} の立上りに対するアドレスまたは \overline{CS} のホールド時間	0		ns	
t _{RDE}	\overline{IOR} の立下りに対するデータアクセス時間		140	ns	
t _{RDF}	\overline{IOR} の立上りからデータ・フローティング状態までの遅延時間	0	70	ns	
t _{RSTD}	RESETの立下りに対する供給電源の立上りのセットアップ時間	500		ns	
t _{RSTS}	RESETの立下りから最初の \overline{IOR} 、 \overline{IOW} がアクティブになる時間	2t _{CY}		ns	
t _{RSTW}	RESETのパルス幅	300		ns	
t _{RW}	\overline{IOR} のパルス幅	200		ns	
t _{WA}	\overline{IOW} の立上りに対するアドレスのホールド時間	20		ns	
t _{WC}	\overline{IOW} の立上りに対する \overline{CS} の立上りのホールド時間	20		ns	
t _{WD}	\overline{IOW} の立上りに対するデータのホールド時間	30		ns	
t _{WWS}	\overline{IOW} のパルス幅	160		ns	

注記1： 出力負荷容量は150 (pF) とします。

注記2： \overline{IOW} 、 \overline{MEMW} のパルス幅は、ノーマル・ライトのときは、t_{CY} - 100 (ns) で、拡張ライトのときは、2t_{CY} - 100 (ns) です。 \overline{IOR} 、 \overline{MEMR} のパルス幅は、ノーマルタイミングのときは2t_{CY} - 50 (ns) です。

注記3： DREQ及びDACK信号のアクティブ・レベルは、低レベルと高レベルどちらにも設定できます。タイムチャートでは、DREQは就レベル、DACKは低レベルでアクティブになるように設定してあります。

注記4： プログラミング状態でCPUが連続してリードまたはライトを行うときは、リードまたはライトのパルスがインアクティブになってから次のパルスがアクティブになるまでに、400 (ns) 以上の間隔を必要とします。

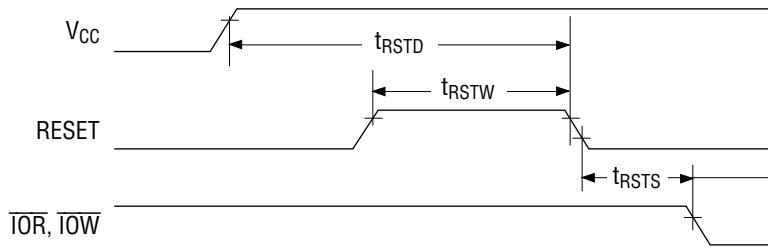
注記5： \overline{EOP} はオープン・ドレインの出力です。この値は、V_{CC}に2.2 (kΩ) のプルアップ抵抗を付加したときのものであります。

注記6： 立上り時間と立下り時間は10 (ns) 以下です。

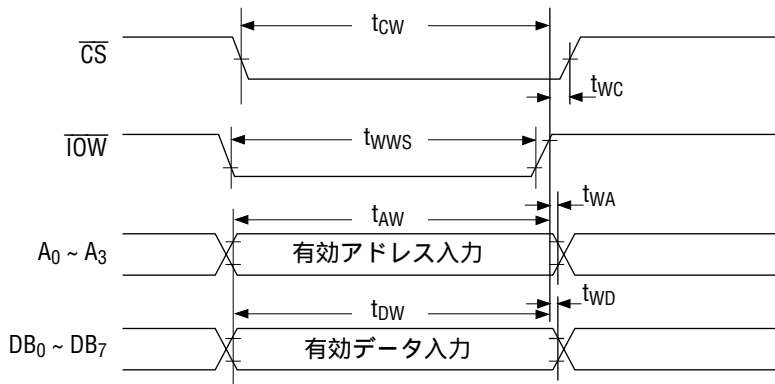
注記7： タイミングは、特に注意がない限り、入出力ともV_L = 0.8 (V)、V_H = 2.2 (V) で測定しています。

■ タイミングチャート

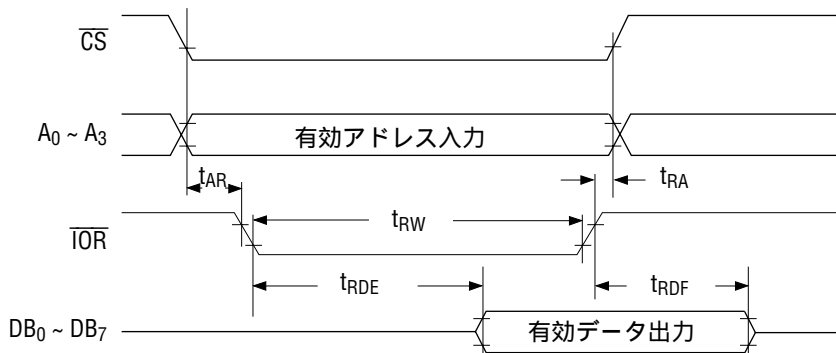
● リセットタイミング



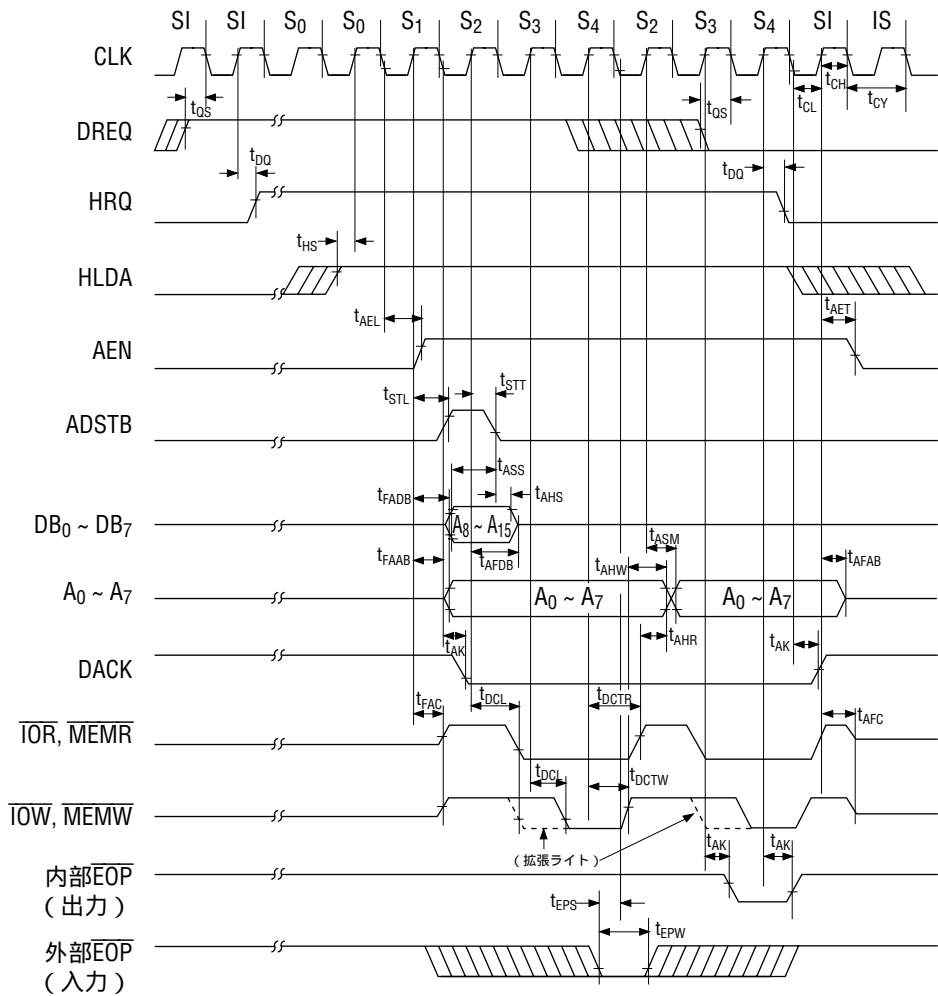
● スレープモード ライト・タイミング



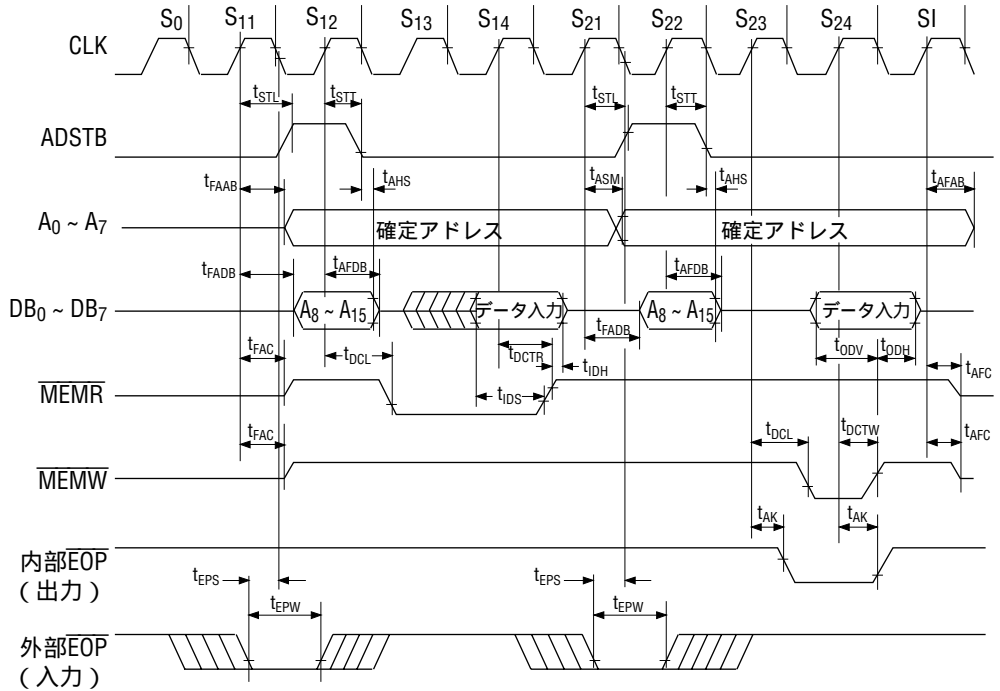
● スレープモード リード・タイミング



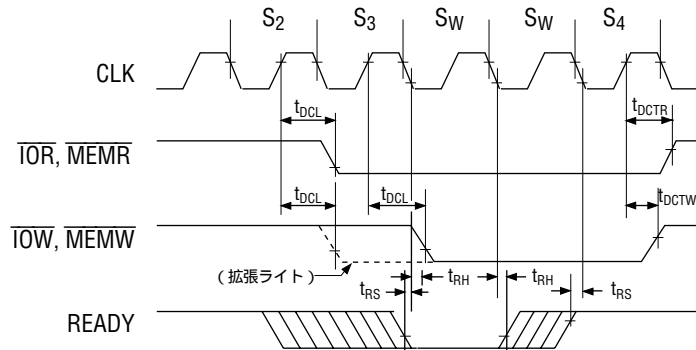
●DMA転送タイミング



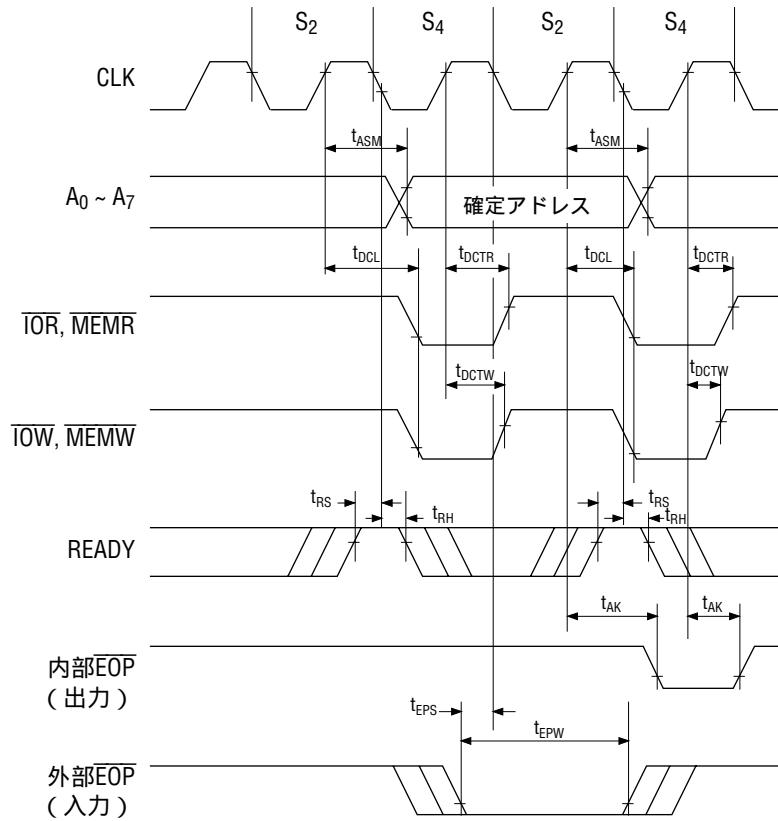
●メモリ間転送タイミング



●READYタイミング



● 圧縮転送タイミング



■ 端子説明

端子名	名称	入力 出力	機能
V _{CC}	電源		+5Vの電源供給をします。
GND	グラウンド		クラウンド(0V)にします。
CLK	クロック入力	入力	MSM82C37B-5の内部動作とデータ転送速度を制御します。
\overline{CS}	チップ セレクト信号	入力	低レベルで、アクティブとなる入力信号で、CPUが、アイドル・サイクル中にMSM82C37B-5をI/Oデバイスとして選択するために用いられます。
RESET	リセット信号	入力	高レベルでアクティブとなる非同期の入力信号でコマンド、ステータス(下位4ビット)、リクエスト、テンポラリレジスタ及びファースト/ラストF/Fをクリアし、マスクレジスタをセットします。リセット後、MSM82C37B-5はアイドル・サイクルに入ります。
READY	レディ信号	入力	この入力を低レベルにすることにより、アクセスの遅いメモリやI/Oデバイスと適応するように、リードまたはライトのパルス幅を拡張することができます。この入力は、規定されたセットアップ/ホールド時間内で変化してはいけません。
HLDA	ホールド 受け付け信号	入力	高レベルでアクティブとなる入力信号で、CPUがホールド要求を受け付けて、システム・バスの制御を放棄したことを示します。
DREQ ₀ ~ DREQ ₃	DMA要求信号 0~3チャンネル	入力	各チャンネルの非同期なDMA転送要求入力です。リセット直後は、高レベルでアクティブとなりますが、低レベルでアクティブとなるようにプログラム可能です。DMA要求は所定の優先順位に従って受け付けられます。 DREQはDACKがアクティブになるまで、保持する必要があります。ダイヤモンド・モードまたはカスケード・モードに設定されているチャンネルのDREQはCLKの立ち上がりで同期化する必要があります。ダイヤモンド・モードまたはカスケード・モードに設定されているチャンネルのDREQのインアクティブ・エッジがS4ステートのCLKの立ち下がりに対するセット・アップ時間 t_{QS} を満足しない場合、誤動作が発生する可能性があります。
DB ₀ ~ DB ₇	データ・バス	入出力	双方向3ステートの信号で、システム・データ・バスに接続されます。アイドル・サイクル中は、CPUがMSM82C37B-5の内部レジスタの読み出し書き込みに用います。アクティブサイクル中は、転送アドレスの上位8ビットを出力するのに用い、また、メモリ間転送では、転送データの入出力にも用います。
\overline{IOR}	I/Oリード信号	入出力	低レベルでアクティブとなる双方向3ステートの信号です。アイドル・サイクル中は、CPUがMSM82C37B-5の内部レジスタを読み出すための入力制御信号として用います。アクティブ・サイクル中は、ライト転送で、I/Oデバイスの転送データを読み出すための出力制御信号として用います。
\overline{IOW}	I/Oライト 信号	入出力	低レベルでアクティブとなる双方向3ステートの信号です。アイドル・サイクル中は、CPUがMSM82C37B-5の内部レジスタへ書き込むための入力制御信号として用います。アクティブ・サイクル中は、リード転送で、I/Oデバイスへ転送データを書き込むための出力制御信号として用います。

端子名	名称	入力 出力	機能
$\overline{\text{EOP}}$	エンド・ オブ・ プロセス信号	入出力	低レベルでアクティブとなる双方向信号です。この端子は、他のものと異なりNチャネル・オープン・ドレインとなっています。 MSM82C37B-5は、DMA動作時にそのチャンネルのワードカウントが0000 (H) からFFFF (H) になると、この端子から低レベルのパルスが出力されます。また、 $\overline{\text{EOP}}$ 入力を低レベルに下げることにより、外部からDMA転送を終了させることもできます。この両者の場合をターミナル・カウント (TC) 状態といいます。 内部または外部の $\overline{\text{EOP}}$ が発生されると、MSM82C37B-5は転送を終了し、DMA要求をリセットします。 $\overline{\text{EOP}}$ 端子を使用しないときは、誤った $\overline{\text{EOP}}$ 入力を防ぐために、プルアップ抵抗により高レベルに保つ必要があります。また、カスケードモード時には $\overline{\text{EOP}}$ 機能は満たしません。
$A_0 \sim A_3$	アドレス0~3	入出力	双方向3ステート信号です。アイドルサイクル中はCPUがMSM82C37B-5のアクセスすべき内部レジスタを指定する入力信号として用います。アクティブ・サイクル中は、転送アドレスの下位4ビットを出力するのに用います。
$A_4 \sim A_7$	アドレス4~7	出力	アクティブ・サイクル中に、転送アドレスの下位4ビットを出力する3ステート信号です。
HRQ	ホールド 要求信号	出力	高レベルでアクティブとなる出力信号で、CPUに対してホールド要求を出して、システム・データ・バスの制御を得るのに用います。HRQがアクティブになってから、HLDAがアクティブになるまで最低1クロック周期以上必要です。
$\text{DACK}_0 \sim \text{DACK}_3$	DMA受け 付け 信号 0~3チャンネル	出力	周辺デバイスにDMA転送が許可されたことを知らせる出力信号で、各チャンネルにあります。 リセット直後は、低レベルでアクティブとなりますが、高レベルでアクティブとなるようにプログラム可能です。 I/O・メモリ間転送の場合には、いずれかのチャンネルに出力されますが、メモリ間転送の場合には出力されません。
AEN	アドレス・ イネーブル 信号	出力	高レベルでアクティブとなる出力信号で、MSM82C37B-5からシステムへ出力される信号が有効であることを知らせます。この信号は、転送アドレスの上位8ビットを保持する外部ラッチを許可し、また、他のシステム・バッファを禁止するのに用います。
ADSTB	アドレス・ イネーブル 信号	出力	高レベルでアクティブとなる信号で、外部ラッチに転送アドレスの上位8ビットをストローブさせるのに用います。
$\overline{\text{MEMR}}$	メモリ・ リード信号	出力	低レベルでアクティブとなる3ステート出力で、リード転送及びメモリ間転送中に、メモリからデータを読み出すための制御信号として用います。
$\overline{\text{MEMW}}$	メモリ・ ライト信号	出力	低レベルでアクティブとなる3ステート出力で、ライト転送及びメモリ間転送中に、メモリへデータを書き込むための制御信号として用います。

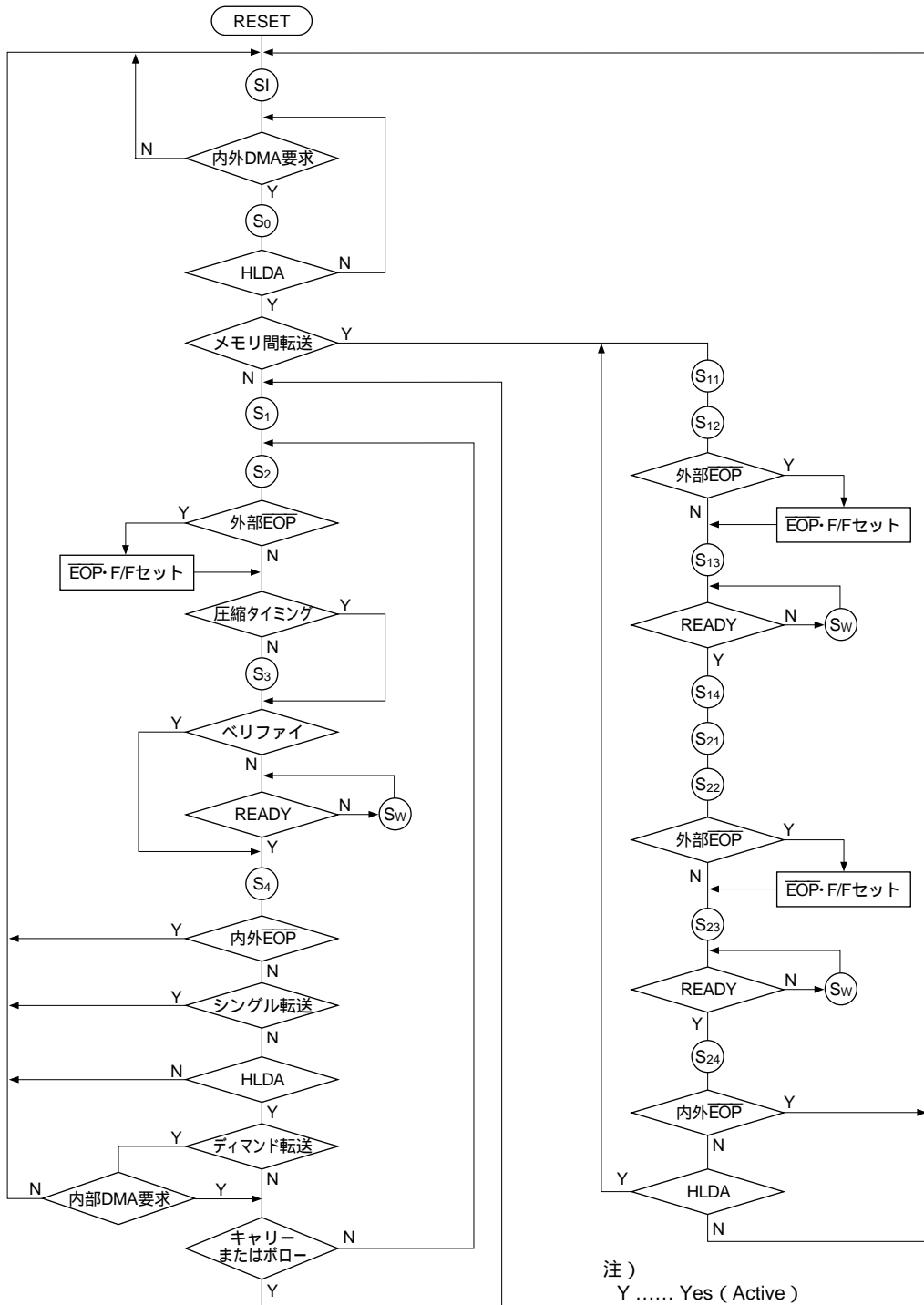


図1 DMA動作状態遷移図

■ 機能概要

MSM82C37B-5は3つの論理部、内部レジスタ部及びカウンタ部の5つのブロックで構成されます。論理部は、内部タイミング及び外部制御信号を発生させるタイミング制御ブロック、CPUからの各種命令をデコードするコマンド制御ブロック、DMAチャンネル間の優先順位を判定する優先判定ブロックに分かれます。

内部レジスタ部は、CPUからの各種命令及び内部状態を保持するブロックです。カウンタ部は、アドレス及びワードカウントを計算するブロックです。

■ 動作説明

MSM82C37B-5は、アイドルサイクルとアクティブサイクルと呼ぶ2つのサイクルの中で動作します。これらは、独立したステート（状態）で構成されます。ステートは、クロックの立下りエッジで発生し、クロック周期分あります。このステート（S）のDMA動作時の遷移を図1に示します。

● アイドルサイクル

MSM82C37B-5のどのチャンネルにも有効なDMA要求がない場合には、アイドルサイクルに入り、S1ステートになります。このサイクルでは、DREQ入力及び \overline{CS} 入力を各クロック毎に検知しています。

ここで、有効なDMA要求がある場合は、アクティブサイクルに入ります。また、HLDA入力が低レベルで、 \overline{CS} 入力が低レベルである場合は、プログラミング状態に入ります。プログラミング状態とは、CPUが \overline{IOR} または \overline{IOW} により、MSM82C37B-5に対して読み出し書き込みが行える状態です。プログラミングについての詳細は、後述してあります。

● アクティブサイクル

MSM82C37B-5は、アイドルサイクル中にマスクされていないチャンネルに対してDMA要求があるか、またはソフトウェアDREQがある場合には、HRQを高レベルにしてアクティブサイクルに入ります。アクティブサイクルの最初の状態はS0ステートです。S0ステートは、CPUからのHLDA入力が高レベルになるまで繰り返します。（但し内部動作上、HRQが高レベルになってからCPUがHLDAを高レベルにするまで、最低1クロック周期以上必要とします。従ってS0ステートが2回以上必要です。）

HLDAが高レベルになると、S0ステートから、I/Oメモリ間転送では、S1、S2、S3、S4という動作ステートに移り、メモリ間転送では、S11、S12、S13、S14、S21、S22、S23、S24、という動作ステートに移ります。

メモリやI/Oデバイスが、通常のタイミングでアクセスできない場合にはREADY入力によって、SWステート（待機状態）を挿入してタイミングを延ばすことができます。

■ 転送タイプの説明

MSM82C37B-5のDMA転送には、I/O・メモリ間転送とメモリ間転送があります。I/O・メモリ間転送には、リード、ライト、ベリファイという3タイプがあります。

● I/O・メモリ間転送

I/O・メモリ間転送の動作ステートは、S1、S2、S3、S4であり、このシーケンスで遷移します。S1ステートでは、AEN出力を高レベルにしてMSM82C37B-5からの制御信号が有効であることを示し、転送アドレスの下位8ビットをA0～A7から、上位8ビットをDB0～DB7から出力します。このときにADSTB出力を高レベルにして、上位8ビットを外部のアドレスラッチにセットします。またDMA要求を受けたチャンネルに対して、DACK出力をアクティブにします。但し、ダイヤモンドやブロックモードの転送において、上位8ビットの転送アドレスが変化しない場合は、S1ステートは省略されます。

S₂ステートでは、 $\overline{\text{IOR}}$ 出力または $\overline{\text{MEMR}}$ 出力を低レベルにします。

S₃ステートでは、 $\overline{\text{IOW}}$ 出力または $\overline{\text{MEMW}}$ 出力を低レベルにします。

S₂、S₃ステートは、I/Oまたはメモリの入出力タイミングの制御ステートです。

但し、圧縮タイミングの場合は、S₃ステートは省略され、 $\overline{\text{IOW}}$ 、 $\overline{\text{MEMW}}$ 出力は、S₂ステートで低レベルにします。

S₄ステートでは、 $\overline{\text{IOR}}$ 、 $\overline{\text{IOW}}$ 、 $\overline{\text{MEMR}}$ 、 $\overline{\text{MEMW}}$ を高レベルにします。この時点でワードカウントレジスタは - 1され、アドレスレジスタは + 1 (または - 1) されています。これで1ワード分のDMA転送は終了です。

I/O・メモリ間の転送では、データがMSM82C37B-5に取り込まれることなく直接転送されることに注意して下さい。

以下にI/O・メモリ間転送の3種の異なった転送タイプを示します。

- ・リード転送

$\overline{\text{MEMR}}$ と $\overline{\text{IOW}}$ を低レベルにすることにより、メモリからのデータをI/Oデバイスに転送するものです。このときに $\overline{\text{MEMW}}$ 、 $\overline{\text{IOR}}$ は高レベルに保たれます。

- ・ライト転送

$\overline{\text{MEMW}}$ と $\overline{\text{IOR}}$ を低レベルにすることにより、I/Oデバイスからのデータをメモリに転送するものです。このときに、 $\overline{\text{MEMR}}$ 、 $\overline{\text{IOW}}$ は高レベルに保たれます。

ここで、リード転送、ライト転送のリード、ライトというのは、メモリを対象にしたものであることに注意して下さい。

- ・ベリファイ転送

ライトまたはリード転送と同様に、転送アドレスを発生したり、 $\overline{\text{EOP}}$ 入力に応じたりなどの動作はしますが、I/Oとメモリのリード/ライト制御信号は、すべてインアクティブに保たれた疑似転送です。ここで、READY入力は無視されます。

- メモリ間転送

メモリ内の一つの領域にあるデータ・ブロックを他の領域へ転送するために、メモリ間転送が用いられます。

メモリ間転送の場合は、メモリからの読み出し用に4ステート (S₁₁、S₁₂、S₁₃、S₁₄)、メモリへの書き込み用に4ステート (S₂₁、S₂₂、S₂₃、S₂₄) の合計8ステートが、1回の転送を終了するのに必要です。これらは、I/O・メモリ間転送の動作ステートと類似しており、識別のために2桁の数字を用いています。

メモリ間転送では、チャンネル0をソース (転送元) 領域のデータ読み出し用に、チャンネル1をデスティネーション (転送先) 領域へのデータ書き込み用に用います。まず、前半4ステートで $\overline{\text{MEMR}}$ をアクティブすることにより、メモリからチャンネル0のアドレスで指定されるデータを読み出し、いったんMSM82C37B-5のテンポラリ・レジスタに取り込みます。次に、後半4ステートで、 $\overline{\text{MEMW}}$ をアクティブにすることにより、テンポラリレジスタ内のデータを、メモリのチャンネル1で指定されるアドレスに書き込みます。これで1バイトの転送が完了します。以降、チャンネル0とチャンネル1のアドレスが + 1 (または - 1) され、また、チャンネル0、1のワードカウントが - 1されて、この動作を繰り返します。そして、チャンネル1のワードカウントが0000 (H) からFFFF (H) になるか、または、外部から $\overline{\text{EOP}}$ 入力があると転送を終了します。この転送では、DACK信号は、出力されません。

メモリ間転送を開始するのにプログラミング上、以下の事が必要となります。

- ・ コマンドレジスタの設定

ビット0をセットすることによりメモリ間転送をイネーブル状態にします。また、ビット1をセットすることにより全ての転送でチャンネル0のアドレス値を保持することができます。これは、ソース領域の1語の内容を、デスティネーション領域全体に書き込むことに応用できます。

- ・ モードレジスタの設定

チャンネル0と1では、転送タイプの指定は、無視されます。また、メモリ間転送は、常にブロックモードで行われます。

- ・ リクエスト・レジスタの設定

チャンネル0のリクエスト・ビットをセットすることにより、メモリ間転送を開始します。

- ・ マスク・レジスタの設定

チャンネル0以外のチャンネルが選択されないように、全チャンネルのマスクビットをセットします。

- ・ ワードカウント・レジスタの設定

チャンネル1のワードカウントは有効ですが、チャンネル0のワードカウントは無視されます。両チャンネルのオート・イニシャライズを行うときは、ワードカウント値を同一にする必要があります。

■ 動作モードの説明

- シングル転送モード

このモードでは、1ワードのみの転送を行い、アドレスは+1(または-1)され、ワードカウントは-1されます。その後HRQを低レベルにして、バス制御権をCPUに返します。もしDREQが転送終了後もずっとアクティブである場合は、MSM82C37B-5は、いったんHRQを低レベルにします。そしてCPUがHLDAを低レベルにすると、再び、HRQを高レベルにして、新しいDMAサイクルに入ります。そのため、MSM80C85A等では、DMAサイクル相互間に一つのマシンサイクルを挿入することが可能です。

- ブロック転送モード

このモードでは、いったんDMA転送が開始されると、ターミナル・カウント(TC)状態になるまで、転送を続けます。

DREQはDACKがアクティブになるまでアクティブであれば、あとはインアクティブになっても連続して転送を続けます。

- デマンド転送モード

このモードではDREQがアクティブでなくなるか、またはTC状態に達するまで、連続して転送を続けます。

DMA転送中には、アドレス及びワードカウントの途中の値は、カレント・アドレス・レジスタ及びカレント・ワードカウント・レジスタに保持されます。従って、TCに達する前にDREQがインアクティブになってDMA転送が中断し、再びそのチャンネルのDMA要求が受けられると、前回のDMA転送が継続されます。但し、回転優先モードの場合は、転送を中断すると次の優先順位に変化することに注意して下さい。

● カスケード・モード

このモードは、4チャンネルを越すDMA転送が必要な場合に図2のように、MSM82C37B-5を複数個カスケード接続することにより、簡単にシステム拡張をはかることができます。このモードは、1段目のMSM82C37B-5のチャンネルをカスケードモードに設定することにより行われます。1段目のMSM82C37B-5のカスケード・モードに設定されたチャンネルのDREQ及びDACKラインは、2段目の各MSM82C37B-5のHRQ及びHLDAラインに接続されます。ここで、1段目のMSM82C37B-5のDACK信号は、高レベルでアクティブになるように設定する必要があります。

カスケード・モードに設定した場合、1段目のMSM82C37B-5はDREQがアクティブであるとHRQを高レベルにし、HLDAが高レベルになると、優先判定に従ってDACKをアクティブします。ここで、DREQがアクティブでなくなるとHRQを低レベルにし、HLDAが低レベルになるとアイドルサイクルに入ります。従って1段目のMSM82C37B-5は、機能的には各チャンネルの優先判定にしか用いないためにDMAサイクル中は、DREQとHLDA以外の入力は無効であり、またHRQとDACK以外の出力は無効です。また、ソフトウェアDREQでDMA転送を起動すると、RESETをかけない限り、HRQが出力し続ける恐れがありますので、カスケード・モードに設定したチャンネルに対して、ソフトウェアDREQを設定しないで下さい。図2では、2段目までのカスケード接続のシステム構成例ですが、2段目以降を同様なカスケード・モードに設定することにより、3段目以降もカスケード接続可能です。

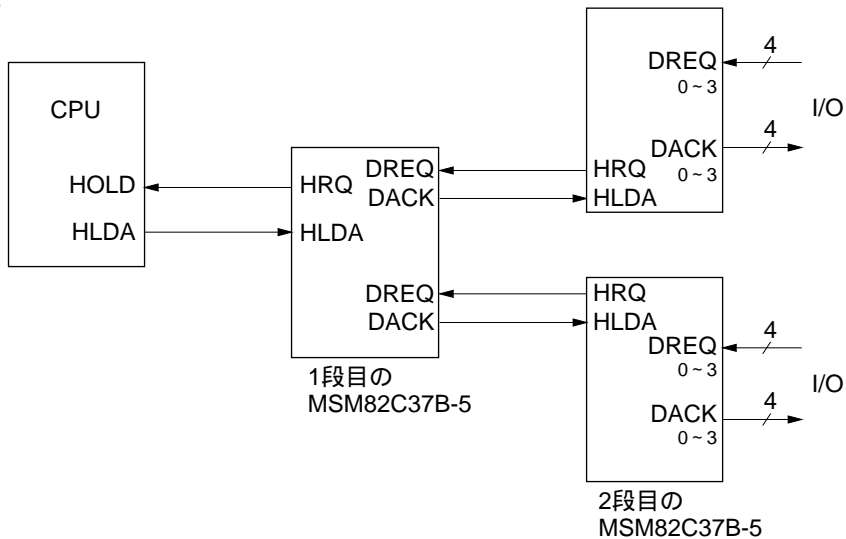


図2 MSM82C37B-5のカスケード接続システム

● オート・イニシャライズ（自動初期化）

モードレジスタのビット4をセットすることにより、そのチャンネルは、オート・イニシャライズが可能となります。オート・イニシャライズは、TC発生後、カレント・アドレス・レジスタとカレント・ワードカウント・レジスタに、それぞれ、ベース・アドレス・レジスタとベース・ワードカウント・レジスタの値が書き込まれます。このベース・レジスタは、CPUによりカレント・レジスタと同じ値が書き込まれており、DMA転送中は変化しません。

チャンネルがオート・イニシャライズになっているときは、TC発生後も、そのチャンネルのマスクビットはセットされず、DMA要求があればCPUの介入なしに再度転送をすることがあります。

オート・イニシャライズになっていないときはTC発生後、そのチャンネルのマスクビットはセットされます。

● 優先判定モード

MSM82C37B-5は、2種類の優先判定モードがありDMA要求をしているチャンネルの中で、最も優先順位の高いDMAチャンネルの転送を受付けます。

・ 固定優先モード

このモードは、チャンネル0が最高位の優先順位をもち、続いてチャンネル1、2でチャンネル3が最低位の優先順位となるように固定されています。

・ 回転優先モード

このモードは、現在DMA転送を終了したチャンネルが最低位の優先順位となるように、優先順位が変化します。これは、一つのチャンネルがシステムを独占するのを防ぎます。

リセット直後は、固定優先になっています。

表1 MSM82C37B-5の優先判定モード

優先モード		固定	回転			
サービス終了チャンネル			CH ₀	CH ₁	CH ₂	CH ₃
次のDMAの 優先順位	最高位	CH ₀	CH ₁	CH ₂	CH ₃	CH ₀
	↑ ↓	CH ₁	CH ₂	CH ₃	CH ₀	CH ₁
		CH ₂	CH ₃	CH ₀	CH ₁	CH ₂
	最低位	CH ₃	CH ₀	CH ₁	CH ₂	CH ₃

● 圧縮タイミング

MSM82C37B-5は、このモードを設定することにより、システムの構造上許されれば、リードパルスのアクセス時間を拡張するのに使われているS₃ステートを省略して、2または3クロックサイクルのDMA転送を行なうことができます。S₃ステートを省略すると、リードパルス幅は、ライトパルスと同じになり、S₂でアドレスの更新及びリード/ライト信号の立下げを行い、S₄で読み出し及び書き込みを行うこととなります。なお、このモードは、メモリ間転送の場合は無効となります。

● 拡張ライト

このモードが設定されると、通常S₃ステートで出力されているIOWまたはMEMW信号がS₂ステートで出力するようになりライトパルス幅を拡張できます。これはアクセスの遅いメモリやI/Oデバイスと適応するためのもので、READYによってもパルス幅を拡張できますが、その場合には、S_Wステートが挿入されて、ステート数が増加します。

■ 内部レジスタの説明

● カレント・アドレス・レジスタ

各チャンネルは、16ビット長のカレント・アドレス・レジスタを持っており、DMA転送時の転送アドレスを保持し、DMAサイクルごとに+1（または-1）されます。このレジスタは16ビット長ですが、MSM82C37B-5はCPUに対して8ビット長でアクセスするために、内部のファースト/ラスト・F/F（フリップ・フロップ）を用いて、下位・上位と8ビットずつ（2回）に分けて連続的に読み出し、書き込みを行う必要があります。

オート・イニシャライズが設定されていれば、TC後に自動的に元の値に初期設定できます。

● カレント・ワード・カウント・レジスタ

各チャンネルは、16ビット長のカレント・ワード・カウント・レジスタを持っており、DMA転送時の転送回数を保持し、DMAサイクルごとに - 1 されます。

ワードカウント値が0000 (H) からFFFF (H) になるときにTCが発生します。従って、実際に転送したい回数より - 1したワードカウント値を設定する必要があります。

このレジスタも16ビット長ですから、カレント・アドレス・レジスタと同様にファースト・ラスト F/Fの制御によってアクセスされます。また、オート・イニシャライズが設定されていれば、TC後に自動的に元の値に初期設定できます。

● ベース・アドレス及びベース・ワードカウント・レジスタ

各チャンネルは、16ビット長のベース・アドレス・レジスタ及びベース・ワードカウント・レジスタの両レジスタを持っており、それぞれのカレント・レジスタの初期値を保持しています。それぞれのベース・レジスタとカレント・レジスタには、CPUにより同じ値が書き込まれます。

カレント・レジスタの内容は、CPUにより読み出すことができますが、ベースレジスタの内容は、読み出すことができません。

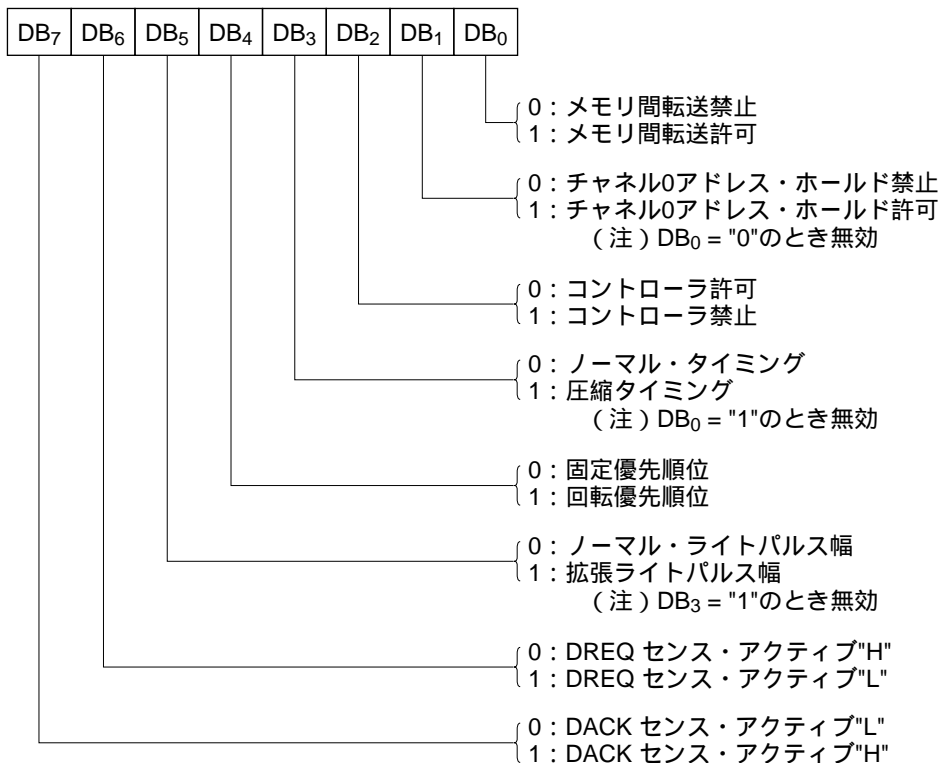
● コマンド・レジスタ

この8ビット長の書き込み専用レジスタは、MSM82C37B-5の全チャンネル共通のDMA動作を規定します。各ビットの説明を図3に示します。

DB₂でコントローラを禁止すると、MSM82C37B-5は、DMA要求があってもHRQを出力しません。

DB₆とDB₇でDREQ出力とDACK出力のセンスレベルを変えることができます。

図3 コマンド・レジスタ



● リクエスト・レジスタ

MSM82C37B-5は、ソフトウェアによって、DREQと同じようにDMA転送を要求することができます。これは、リクエスト・レジスタのリクエスト・ビットをセットすることにより行うことができます。各チャンネルは、リクエスト・レジスタの中に、それぞれに対応するリクエスト・ビットを持っています。これらは、マスク・レジスタの内容に関係なく、優先判定回路で優先順位を決定され、それによってDMA転送が受け付けられます。

リクエスト・ビットは、TCに達したときに、すべてリセットされます。また、あるチャンネルのリクエスト・ビットが受け付けられると、他のすべてのリクエスト・ビットはクリアされます。このソフトウェア・リクエストは、ブロック転送モードのときに有用です。

各ビットの説明を図5.に示します。

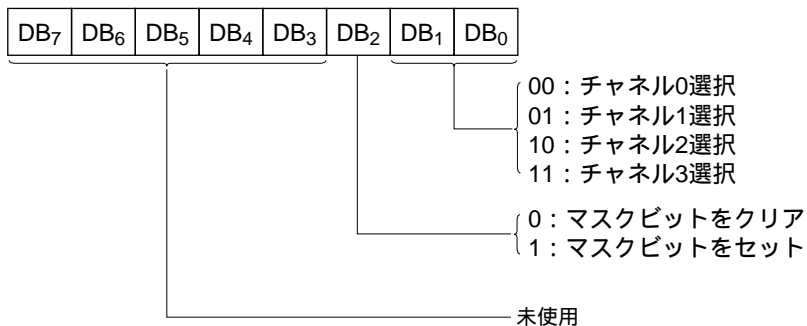
● マスク・レジスタ

このレジスタは、各チャンネルのDMA転送の禁止、解除を制御します。各チャンネルは、マスク・レジスタの中にそれぞれ対応するマスク・ビットを持っています。各マスク・ビットは、そのチャンネルがオート・イニシャライズモードになっていなければ、TCに達するとセットされます。このマスク・レジスタには、2種類の設定方式があります。

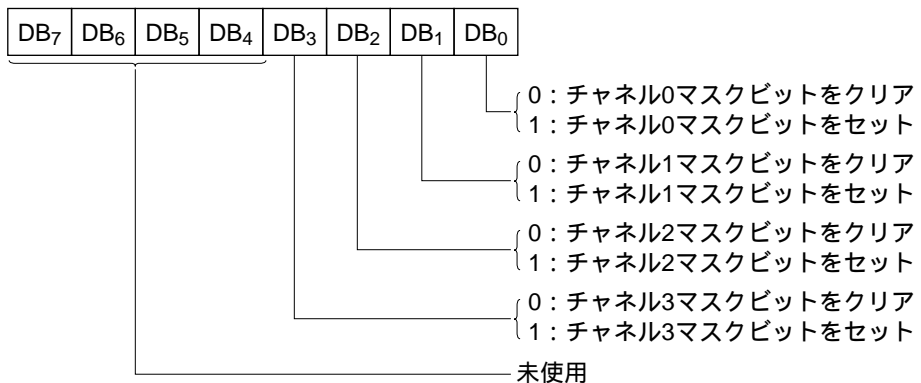
図6.(a)、は、各チャンネルごとにセット/リセットを行なう方式です。

図6.(b)、は、全チャンネルを一括してセット/リセットを行なう方式です。

図6 マスク・レジスタ



(a) シングル・マスク・レジスタ (チャンネル毎のセット/リセット)



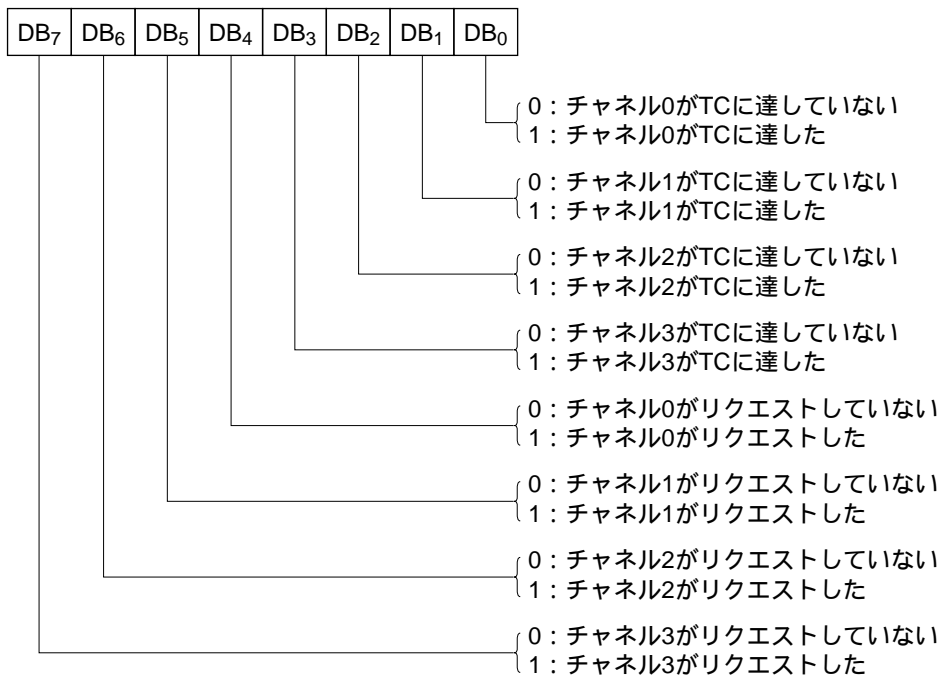
(b) オール・マスク・レジスタ (全チャンネル一括のセット/リセット)

●ステータス・レジスタ

このレジスタは、MSM82C37B-5の状態をCPUが読み取るための読み出し専用レジスタです。上位4ビットは、各チャンネルのDMA転送の要求状態を示しており、DREQ入力信号がアクティブになるとセットされます。

下位4ビットは、対応するチャンネルがTCに達したかどうかを示しており、TC状態に達したときにセットされます。この下位4ビットは、ステータス・レジスタの読み出し、または、RESET入力及びマスタ・クリアでリセットされます。各ビットの説明は図7.に示します。

図7 ステータス・レジスタ



●テンポラリ・レジスタ

このレジスタは、メモリ間転送中に、転送データを一時保持するレジスタです。

転送を終了した時点では、最後に転送したデータを保持しているので、それをCPUにより読み出すことができます。

● ソフトウェア・コマンド

MSM82C37B-5は、プログラミングを確実にを行うために特定の動作を実行するソフトウェアコマンドがあります。これらは、データ・バス上の内容には関係しません。

・ クリア・ファースト/ラスト・F/F (フリップ・フロップ)

16ビット長のアドレス及びワードカウント・レジスタは、データ・バスのポートの制限により下位8ビットと上位8ビットの2回に分けて、連続的に読み出したり書き込みが行われます。MSM82C37B-5では、最初にアクセスされるのが下位、続いてアクセスされるのが上位であることを、内部のファースト/ラスト・F/Fにより判別しています。このコマンドは、このファースト/ラスト・F/Fをリセットし、実行直後は、下位8ビットのアクセスが行えるようにします。

・ マスタ・クリア

ハードウェアで入力されるRESET信号と同等の働きをします。

このコマンドは、コマンド、ステータス(下位4ビット)、リクエスト、テンポラリの各レジスタの内容をクリアし、ファースト/ラスト・FFもクリアし、マスク・レジスタをセットします。このコマンド後、アイドル・サイクルに入ります。

・ クリア・マスク・レジスタ

このコマンドを実行すると、全チャンネルのマスク・ビットをクリアして、DMA転送を受け可能とします。

■ プログラミング

MSM82C37B-5は、HLDA入力が低レベルで \overline{CS} が低レベルのときに、プログラミング状態となります。この状態で、 \overline{IOR} を低レベルにし \overline{IOW} を高レベルに保つことにより、CPUによる読み出しが、また \overline{IOW} を低レベルにし \overline{IOR} を高レベルに保つことにより、CPUによる書込みが行われます。ここで、 \overline{IOR} 、 \overline{IOW} を同時に低レベルにすることは、禁止です。

表2に、MSM82C37B-5からの読み出しコマンド・コードの一覧表を、表3にMSM82C37B-5への書き込みコマンド・コードの一覧表を示します。

注記： MSM82C37B-5がプログラミングされている最中に、I/OデバイスからのDMA転送要求が受け付けられると、プログラミング途中でDMA転送が開始されて、正規のプログラミングができない可能性があります。

これを防ぐためには、DMAチャンネルをマスクしておくか、コマンドレジスタによりコントローラを禁止するか、またはシステム上でプログラミング時にはDREQがアクティブにならないようにする必要があります。

表2 MSM82C37B-5のリード・コマンド一覧表

\overline{CS}	\overline{IOR}	A ₃	A ₂	A ₁	A ₀	内部 ファースト ラストF/F	読み出されるデータ		
0	0	0	0	0	0	0	チャンネル0	カレント アドレス・レジスタ	下位8ビット
0	0	0	0	0	0	1		カレント ワード・カウント・レジスタ	上位8ビット
0	0	0	0	0	1	0		カレント ワード・カウント・レジスタ	下位8ビット
0	0	0	0	0	1	1			上位8ビット
0	0	0	0	1	0	0	チャンネル1	カレント アドレス・レジスタ	下位8ビット
0	0	0	0	1	0	1		カレント ワード・カウント・レジスタ	上位8ビット
0	0	0	0	1	1	0		カレント ワード・カウント・レジスタ	下位8ビット
0	0	0	0	1	1	1			上位8ビット
0	0	0	1	0	0	0	チャンネル2	カレント アドレス・レジスタ	下位8ビット
0	0	0	1	0	0	1		カレント ワード・カウント・レジスタ	上位8ビット
0	0	0	1	0	1	0		カレント ワード・カウント・レジスタ	下位8ビット
0	0	0	1	0	1	1			上位8ビット
0	0	0	1	1	0	0	チャンネル3	カレント アドレス・レジスタ	下位8ビット
0	0	0	1	1	0	1		カレント ワード・カウント・レジスタ	上位8ビット
0	0	0	1	1	1	0		カレント ワード・カウント・レジスタ	下位8ビット
0	0	0	1	1	1	1			上位8ビット
0	0	1	0	0	0	×	ステータス・レジスタ		
0	0	1	1	0	1	×	テンポラリ・レジスタ		
0	0	他の組み合わせ					×	出力データは無効です。	

表3 MSM82C37B-5のライト・コマンド一覧表

\overline{CS}	\overline{IOW}	A ₃	A ₂	A ₁	A ₀	内部 ファースト ラストF/F	書き込まれるデータ		
0	0	0	0	0	0	0	チャンネル0	カレント及びベース アドレス・レジスタ	下位8ビット
0	0	0	0	0	0	1			上位8ビット
0	0	0	0	0	1	0		カレント及びベース ワード・カウント・レジスタ	下位8ビット
0	0	0	0	0	1	1			上位8ビット
0	0	0	0	1	0	0	チャンネル1	カレント及びベース アドレス・レジスタ	下位8ビット
0	0	0	0	1	0	1			上位8ビット
0	0	0	0	1	1	0		カレント及びベース ワード・カウント・レジスタ	下位8ビット
0	0	0	0	1	1	1			上位8ビット
0	0	0	1	0	0	0	チャンネル2	カレント及びベース アドレス・レジスタ	下位8ビット
0	0	0	1	0	0	1			上位8ビット
0	0	0	1	0	1	0		カレント及びベース ワード・カウント・レジスタ	下位8ビット
0	0	0	1	0	1	1			上位8ビット
0	0	0	1	1	0	0	チャンネル3	カレント及びベース アドレス・レジスタ	下位8ビット
0	0	0	1	1	0	1			上位8ビット
0	0	0	1	1	1	0		カレント及びベース ワード・カウント・レジスタ	下位8ビット
0	0	0	1	1	1	1			上位8ビット
0	0	1	0	0	0	×	コマンド・レジスタ		
0	0	1	0	0	1	×	リクエスト・レジスタ		
0	0	1	0	1	0	×	シングル・マスク・レジスタ		
0	0	1	0	1	1	×	モード・レジスタ		
0	0	1	1	0	0	×	クリア・ファースト・ラスト・F/F (ソフトウェア・コマンド)		
0	0	1	1	0	1	×	マスク・クリア (ソフトウェア・コマンド)		
0	0	1	1	1	0	×	クリア・マスク・レジスタ (ソフトウェア・コマンド)		
0	0	1	1	1	1	×	オール・マスク・レジスタ		

■ 付録

● 低速版から高速版への置き換え時の注意事項

従来生産しておりました低速版は、下記表のとおり高速版に集約されております。低速版をお使いの方で高速版に置き換えをされる方は、次ページ以降の置き換え時の注意事項をお読みください。

高速版製品名（集約製品）	低速版製品名（廃品）	備考
M80C85AH	M80C85A/M80C85A-2	8bit MPU
M80C86A-10	M80C86A/M80C86A-2	16bit MPU
M80C88A-10	M80C88A/M80C88A-2	8bit MPU
M82C84A-2	M82C84A/M82C84A-5	クロックジェネレータ
M81C55-5	M81C55	RAM, I/O, タイマ
M82C37B-5	M82C37A/M82C37A-5	DMAコントローラ
M82C51A-2	M82C51A	USART
M82C53-2	M82C53-5	タイマ
M82C55A-2	M82C55A-5	PPI

MSM82C37A-5とMSM82C37B-5との相違点

1) 製造プロセスの相違点

どちらも3 μ Si-Gate CMOSプロセスであり相違点はありません。また、チップサイズも同じです。

2) 機能上の相違点

下記3-2) 項のAC特性が変更になっているのみで論理の相違はありません。

3) 規格上の相違点

3-1) DC特性は全く同じであるため問題ありません。

3-2) AC特性

項目	記号	MSM82C37A-5	MSM82C37B-5
CLK低レベル時間 (自動初期化時)	tCL	100 ns 最小	68 ns 最小
CLK低レベル時間 (上記以外の場合)	tCL	68 ns 最小	68 ns 最小

上記のとおりCLK低レベル時間は、MSM82C37A-5では自動初期化時に68nsを満たせないが、MSM82C37B-5ではどんな動作状態でも68nsを満たすことができます。その他の項目は、両製品とも同じ規格であるので問題ありません。

4) パッケージの相違点

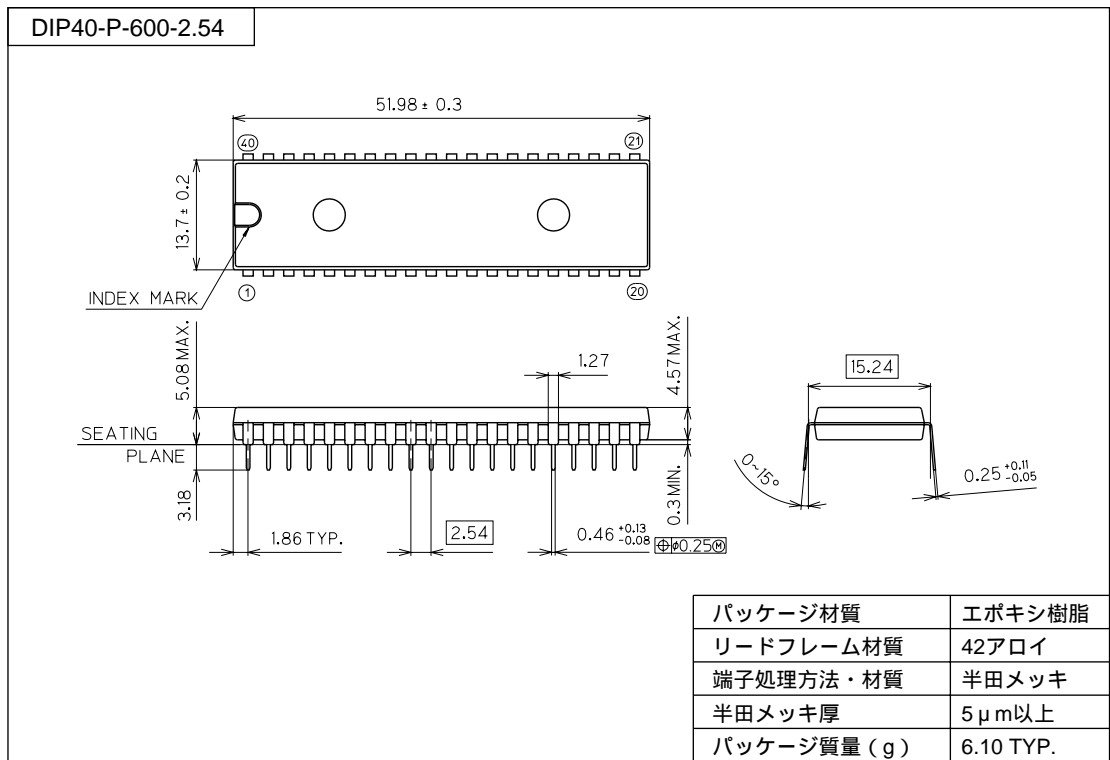
PLCCパッケージについては、当初沖オリジナルのピン配置のものを製品化していたが、AMD社よりPLCCの製品化が後から行われ、海外の顧客よりAMDコンパチ品を要求されたため、PLCCについてはMSM82C37B-5VJSという製品名のAMDコンパチ品を追加しました。

ただし、DIP、FLATについては全く同じであるため問題はありません。

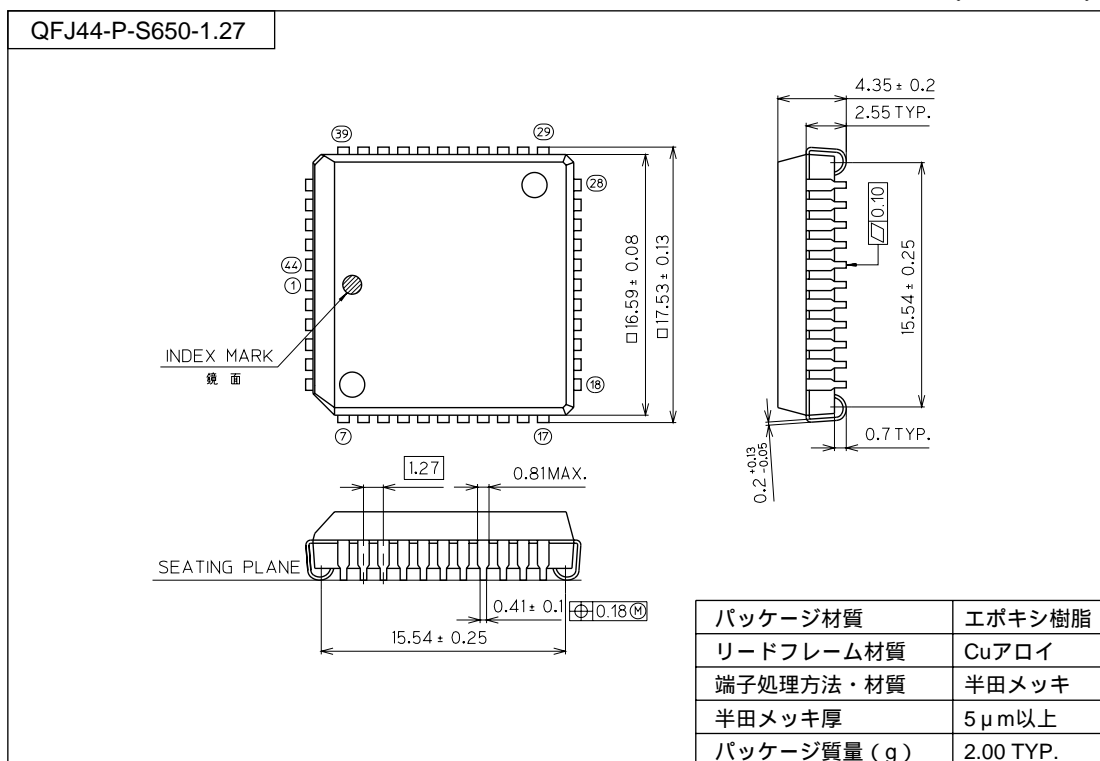
以上

■ パッケージ寸法図

(単位 : mm)



(単位 : mm)

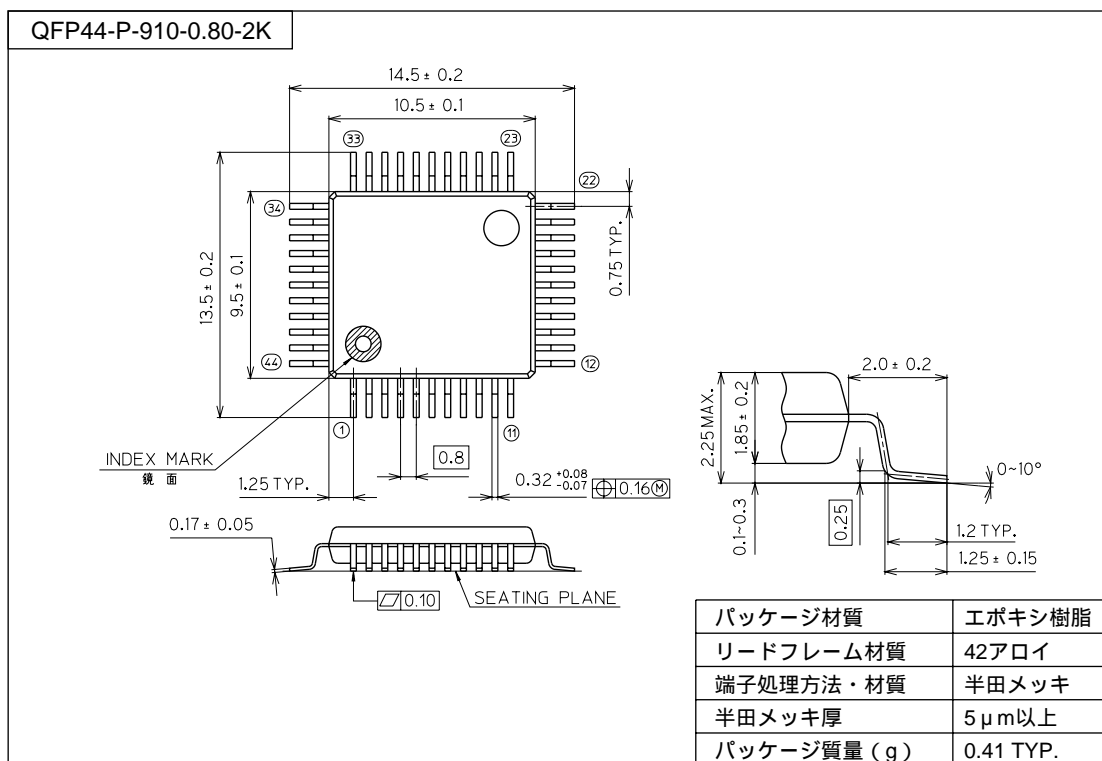


表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。

(単位 : mm)



表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。

1. 本書に記載された内容は、製品改善及び技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、その情報が最新のものであることをご確認ください。
2. 本書に記載された動作概要及び応用回路例は、本製品の標準的な動作や使い方を説明するためのものです。したがって、実際に本製品を使用される場合には、外部諸条件を考慮のうえ回路・実装設計をしてください。
3. 設計に際しましては、最大定格、動作電源電圧範囲、放熱特性など保証範囲内でお使いください。保証値を超えての使用など本製品の誤った使用または不適切な使用等に起因する本製品の具体的な運用結果につきましては、当社は責任を負いかねますのでご了承ください。
4. 本製品及び本書に記載された情報や図面等の使用に関して、当社は、第三者の工業所有権・知的所有権及びその他の権利に対する保証または実施権の許諾を行うものではありません。したがって、その使用に起因する第三者の権利侵害に対し、当社は責任を負いかねますのでご了承ください。
5. 当社は品質、信頼性の向上に努めておりますが、部品の性格上、ある確率の欠陥、故障が不可避だと考えられます。当社製品をお使いの場合には、この様な故障が生じましても直接人命を脅かしたり、身体または財産に危害を生じさせないよう、装置やシステム上で十分な安全設計をお願いします。
6. 本書記載の製品は、一般電子機器（事務機器、通信機器、計測機器、家電製品など）に使用されることを意図しております。特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、身体または財産に危害を及ぼす恐れのある装置やシステム（交通機器、安全装置、航空・宇宙機器、原子力制御、生命維持装置を含む医療機器など）に使用をお考えのお客様は、必ず事前に当社販売窓口までご相談願います。
7. 本書に記載された製品には、「外国為替及び外国貿易管理法」に基づく戦略物資等に該当するものがあります。したがって、該当製品またはその一部を輸出する場合には、同法に基づく日本国政府の輸出許可が必要となりますので、その申請手続きをお取りください。
8. 本書に記載された内容を、当社に無断で転載または複製することをご遠慮ください。

Copyright 1999 OKI ELECTRIC INDUSTRY CO., LTD.

OKI 沖電気工業株式会社

お問い合わせ先

本社別館	〒108-8551	東京都港区芝浦4丁目10番3号（本社別館）	東京（03）5445-6027
		デバイス営業本部	（ダイヤルイン）
			FAX（03）5445-6058
東北支社	〒980-0811	仙台市青葉区一番町3丁目1番1号（仙台富士ビル）	仙台（022）225-6601（代）
松本支店	〒390-0815	松本市深志2丁目5番2号（松本県信東邦生命ビル）	松本（0263）36-7951（代）
中部支社	〒460-0003	名古屋市中区錦1丁目11番20号（大永ビル）	名古屋（052）201-7001（代）
北陸支社	〒920-0981	金沢市片町1丁目5番20号（金沢福井ビル）	金沢（0762）22-2600（代）
関西支社	〒541-0042	大阪市中央区今橋4丁目2番1号（大阪富士ビル）	大阪（06）226-1325（代）
中国支社	〒730-0013	広島市中区八丁堀15番10号（セントラルビル）	広島（082）221-2211（代）
四国支社	〒760-0017	高松市番町1丁目7番5号（安田生命高松ビル）	高松（087）822-1312（代）
松山支店	〒790-0003	松山市三番町3丁目9番4号（四銀安田ビル）	松山（089）943-3733（代）
九州支社	〒810-0001	福岡市中央区天神2丁目13番7号（長銀ビル）	福岡（092）771-9111（代）