

OKI 電子デバイス

作成：1998年 1月

前回作成：1996年 8月

MSM81C55-5

2048 Bit CMOS Static RAM with I/O Ports and Timer

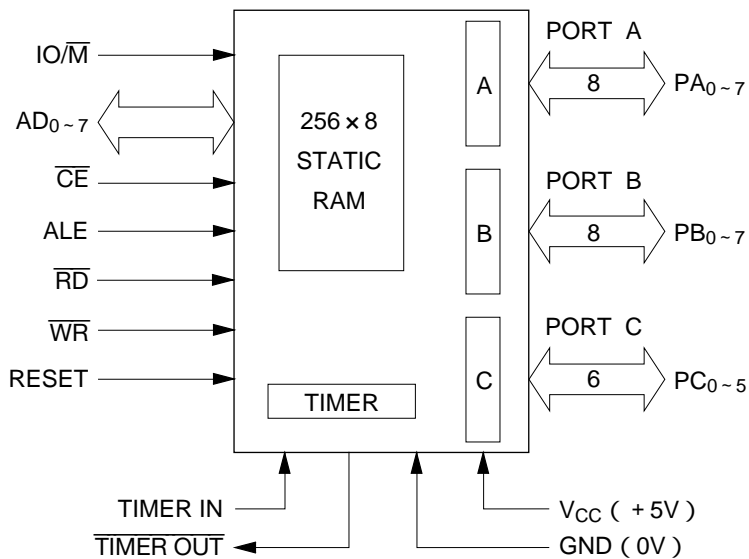
■ 概要

MSM81C55-5は、マイクロコンピュータシステムが用いるRAMとI/OのコンビネーションデバイスでシリコンゲートCMOSテクノロジーを用いているためチップ非選択状態では、スタンバイ電流100 μ A（最大）ときわめて低消費電力です。RAMは256ワード \times 8ビット構成の2KビットのスタティックRAMです。アクセス時間（最大）は330nsなので、80C85AHシステムでもウエイトステートを使わないで用いることができます。I/Oは2つの8ビットポートと1つの6ビットポートの汎用I/Oポートで構成されています。この1つのポート（ポートC）を用いてプログラムすると、ハンドシェイク等のモードで他の2ポート（ポートA、ポートB）が使用できます。タイマ用の方形波を発生させたり、ターミナルカウンタのパルスを数えたりするために、14ビットのプログラマブルカウンタ/タイマを内蔵しています。

■ 特長

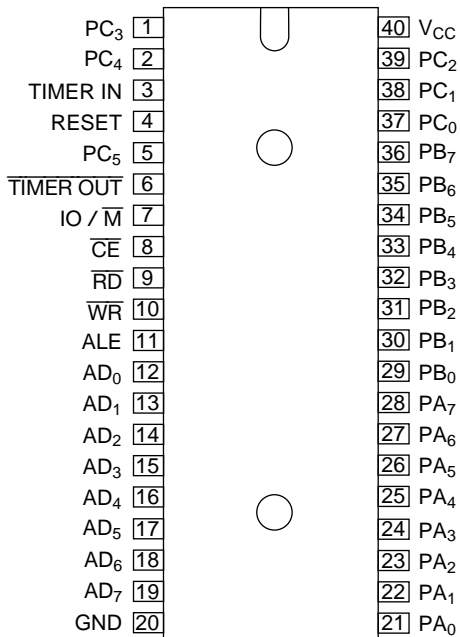
- シリコンゲートCMOSテクノロジーによる高速低消費電力
- 256ワード \times 8ビット
- 3V～6V単一電源
- 完全スタティック動作
- 低電圧RAMデータ保持機能（ $V_{CC} = 2V$ ）
- アドレスラッチ回路内蔵
- 8ビットプログラマブルI/Oポート（A、B2ポート）
- 6ビットプログラマブルI/Oポート（Cポート）
- 14ビットのプログラマブル
バイナリカウンタ/タイマ
- 時分割のアドレス/データバス
- 40ピンプラスチックDIP（DIP40-P-600-2.54）：（製品名：MSM81C55-5RS）
- 44ピンプラスチックQFJ（QFJ44-P-S650-1.27）：（製品名：MSM81C55-5JS）
- 44ピンプラスチックQFP（QFP44-P-910-0.80-2K）：（製品名：MSM81C55-5GS-2K）
- MSM80C85A-2とダイレクトインターフェイス可能

■ 回路構成



■ 端子接続（上面図）

40ピンプラスチックDIP MSM81C55-5RS



■ 電気的特性

● 絶対最大定格

項目	記号	条件	定格値			単位
			MSM81C55-5RS	MSM81C55-5GS	MSM81C55-5JS	
電源電圧	V_{CC}	GNDを基準にした場合	- 0.5 ~ + 7			V
入力電圧	V_{IN}		- 0.5 ~ $V_{CC} + 0.5$			V
出力電圧	V_{OUT}		- 0.5 ~ $V_{CC} + 0.5$			V
保存温度	T_{STG}		- 55 ~ 150			
許容損失	P_D	$T_a = 25$	1.0	0.7	1.0	W

● 動作範囲

項目	記号	範囲	単位
電源電圧	V_{CC}	3 ~ 6	V
動作温度	T_{OP}	- 40 ~ + 85	

● 推奨動作条件

項目	記号	Min.	Typ.	Max.	単位
電源電圧	V_{CC}	4.75	5	5.25	V
動作温度	T_{OP}	- 40	+ 25	70	
"L"入力電圧	V_{IL}	- 0.3		+ 0.8	V
"H"入力電圧	V_{IH}	2.2		$V_{CC} + 0.3$	V

● 直流特性

項目	記号	条件	Min.	Typ.	Max.	単位
"L"出力電圧	V_{OL}	$I_{OL} = 2.5\text{mA}$			0.45	V
"H"出力電圧	V_{OH}	$I_{OH} = - 400\mu\text{A}$	2.4		-	V
		$I_{OH} = - 40\mu\text{A}$	4.2			V
入力リーク電流	I_{L1}	0 V_{IN} V_{CC}	- 10	-	10	μA
出力リーク電流	I_{LO}	0 V_{OUT} V_{CC}	- 10	-	10	μA
待機時電源電流	I_{CCS}	\overline{CE} $V_{CC} - 0.2\text{V}$ V_{IH} $V_{CC} - 0.2\text{V}$ V_{IL} 0.2V	-	0.1	100	μA
平均動作時電源電流	I_{CC}	メモリスイクル タイム：1 μs	-	-	5	mA

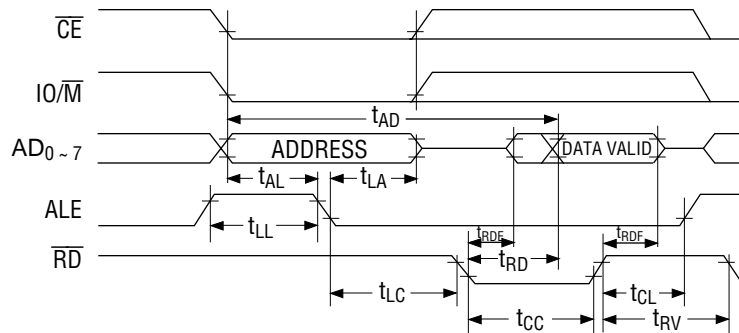
● 交流特性

項目	記号	V _{CC} = 4.5 ~ 5.5V Ta = -40 ~ +85 (80C85AH 3MHz I/F)		V _{CC} = 4.75 ~ 5.25V Ta = -40 ~ +70 (80C85AH 5MHz I/F)		単位	備考
		Min.	Max.	Min.	Max.		
アドレス/ラッチセットアップ時間	t _{AL}	50		37		ns	負荷150pF
ラッチ/アドレスホールド時間	t _{LA}	30		30		ns	
ラッチ/リード(ライト)時間	t _{LC}	100		40		ns	
リード/出力遅延時間	t _{RD}		170		140	ns	
アドレス/出力遅延時間	t _{AD}		400		330	ns	
ラッチ幅	t _{LL}	100		70		ns	
リード/データバスフローティング遅延時間	t _{RDF}	0	100	0	80	ns	
リード(ライト)/ラッチ遅延時間	t _{CL}	20		20		ns	
リード(ライト)幅	t _{CC}	250		200		ns	
データイン/ライトアップ時間	t _{DW}	150		100		ns	
ライト/データインホールド時間	t _{WD}	0		25		ns	
リカバリ時間	t _{RV}	300		200		ns	
ライト/ポート出力遅延時間	t _{WP}		400		300	ns	
ポートインプット/リードセットアップ時間	t _{PR}	70		50		ns	
リード/ポートインプットホールド時間	t _{RP}	50		10		ns	
ストローブ/バッファフル遅延時間	t _{SBF}		400		300	ns	
ストローブ幅	t _{SS}	200		150		ns	
リード/バッファエンブティ遅延時間	t _{RBE}		400		300	ns	
ストローブ/インタラプトオン遅延時間	t _{SI}		400		300	ns	
リード/インタラプトオフ遅延時間	t _{RDI}		400		300	ns	
ポートインプット/ストローブセットアップ時間	t _{PSS}	50		20		ns	
ストローブ/ポートインプットホールド遅延時間	t _{PHS}	120		100		ns	
ストローブ/バッファエンブティ遅延時間	t _{SBE}		400		300	ns	
ライト/バッファフル遅延時間	t _{WBF}		400		300	ns	
ライト/インタラプトオフ遅延時間	t _{WI}		400		300	ns	
タイマ出力遅延時間	t _{TL}		400		300	ns	
タイマ出力遅延時間	t _{TH}		400		300	ns	
リード/データバスイネーブル遅延時間	t _{RDE}	10		10		ns	
タイマサイクルタイム	t _{CYC}	320		320		ns	
タイマ入力立上り、立下り時間	t _{r,tf}		80		80	ns	
タイマ入力低レベル時間	t ₁	80		40		ns	
タイマ入力高レベル時間	t ₂	120		70		ns	
タイマスタートコマンドライト/タイマ入力遅延時間	t _{WT}	200		200		ns	
タイマ入力/タイマスタートコマンドライト遅延時間	t _{TW}	0		0		ns	

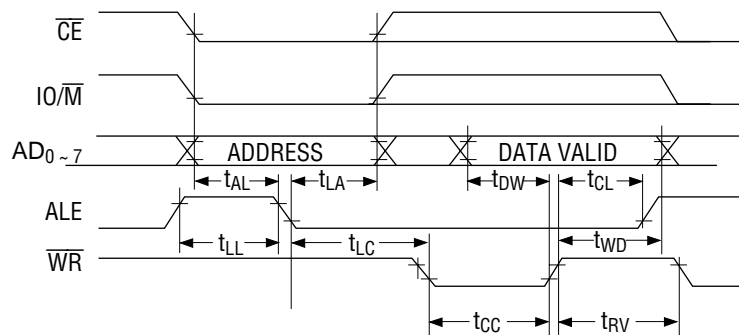
注記： タイミング入力は、出力ともにVL = 0.8V、VH = 2.2Vで測定。

■ タイムチャート

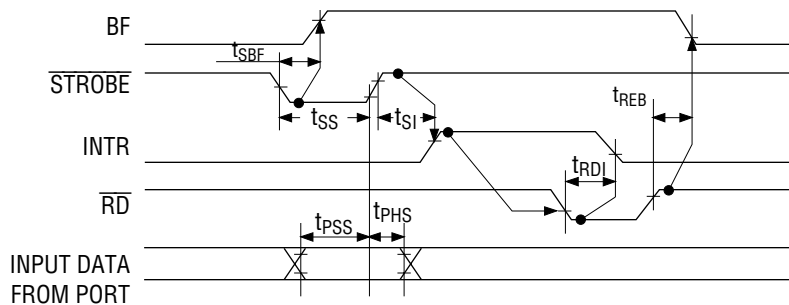
● リードサイクル



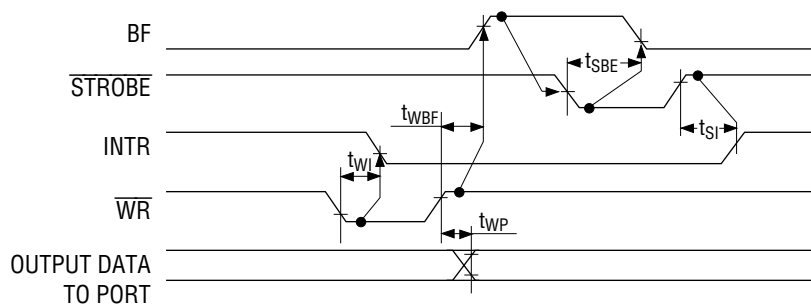
● ライトサイクル



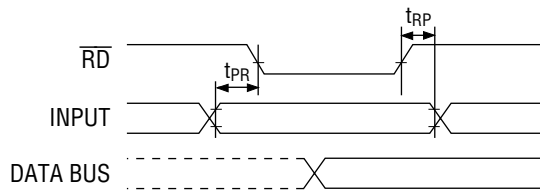
● ストローブド インพุットモード



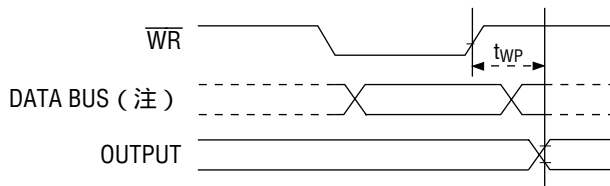
● ストローブド アウツプットモード



●ベーシック インพุットモード

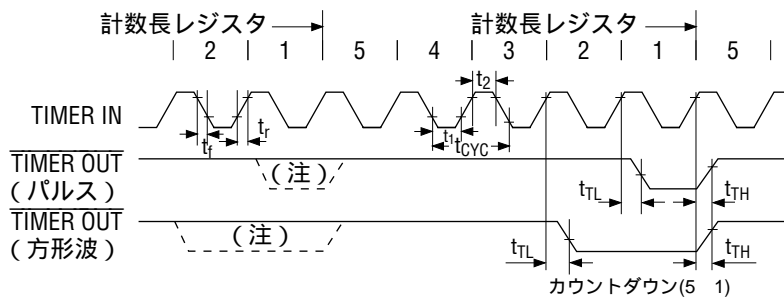


●ベーシック アウトプットモード



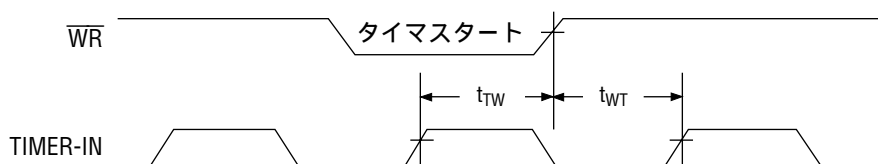
注記： DATA BUSのタイミングはリードサイクル、ライトサイクルと同じ

●タイマ波形 1



注記： 出力モード (M1=1) のプログラム内容によって周期的に出力されます。

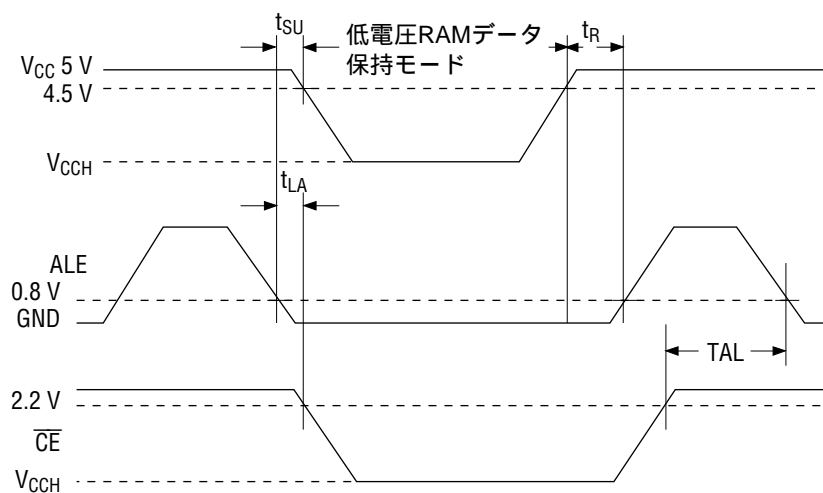
●タイマ波形 2



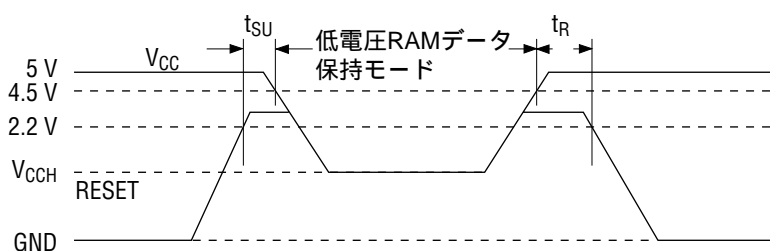
■ 低電源電圧RAMデータ保持特性

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
データ保持電源電圧	V_{CCH}	$V_{IN} = 0V$ or V_{CC} , $ALE = 0V$	2.0			V
データ保持電源電流	I_{CCH}	$V_{CC} = V_{CCH}$, $ALE = 0V$ $V_{IN} = 0V$ or V_{CC} (下図参照)		0.05	20	μA
セットアップ時間	t_{SU}		30			ns
ホールド時間	t_R		20			ns

(1) \overline{CE} 端子を使用する低電圧RAMデータ保持モード



(2) RESET端子を使用する低電圧RAMデータ保持モード



注記1： この場合はC/Sレジスタがリセットされ、ポートは入力モードになり、タイマはストップします。

注記2： 電源電圧の立上げには十分な時間をとり、またノイズ等がのらないようにして下さい。

■ 端子説明

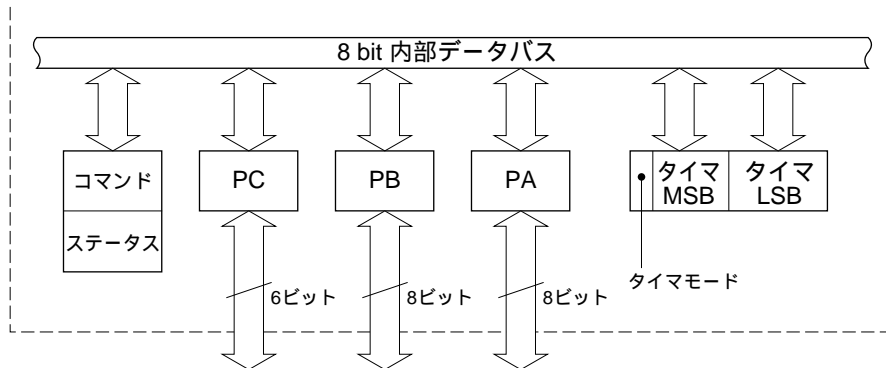
端子名	機能説明
RESET	高レベルになるとシステムがリセットされ、I/Oの3ポートは入力モードになります。またポートレジスタはリセットされます。またタイマは停止し、TIMER-OUTは次のクロックで“H”出力となります。
ALE	ALE (アドレスラッチイネーブル) の立下り時にAD ₀₋₇ , IO/ \overline{M} 、 \overline{CE} の信号を各々のラッチ回路に取り込みます。
AD ₀₋₇	3状態の双方向アドレス/データバス。8ビットのアドレス情報を、ALEの立下り時にラッチ回路に取り込みます。 \overline{WRITE} あるいは、 \overline{READ} 入力信号の状態によって、8ビットのデータをチップに書き込むこともチップから読み取ることもできます。
\overline{CE}	\overline{CE} が高レベルのときは、読み取り動作、書き込み動作は行いません。
IO/ \overline{M}	高レベルのときはIOを選択し、低レベルのときはメモリーを選択します。
\overline{RD}	低レベルのとき、RAMサイクルならメモリ情報が、またI/Oサイクルなら選択されたポート情報がAD ₀₋₇ に読み出されます。
\overline{WR}	低レベルから高レベルへの立ち上がりで、AD ₀₋₇ の情報がRAMサイクルならメモリは、またI/Oサイクルなら選択されたポートに書き込まれます。
PA ₀₋₇ (PB ₀₋₇)	汎用I/O端子です。入出力の方向はコマンド/ステータスレジスタ(C/Sレジスタ)をプログラムすることにより決めることができます。
PC ₀₋₅	汎用I/O端子として、またPA、PBポートに対する制御端子として使用できます。制御端子として使う場合は次の通りです。 PC ₀A INTR (Aポートの割り込み) PC ₁A BF (Aポートバッファフル) PC ₂A STB (Aポートストローブ) PC ₃B INTR (Bポートの割り込み) PC ₄B BF (Bポートのバッファフル) PC ₅B STB (Bポートストローブ)
TIMER IN	カウンタ/タイマへの入力信号
TIMER OUT	タイマ出力。指定した計数長に達したとき、制御信号の指定に従って方形波かパルスを出力します。
V _{CC}	+5V電源
GND	GND

■ 動作説明

MSM81C55-5は以下の3種類の機能を持っています。

- 2KbitスタティックRAM (256ワード×8bit)
- 2本の8bit I/Oポート (PA、PB) と1本の6bit I/Oポート
- 14 bitのタイマカウンタ (ダウンカウンタ)

内部レジスタは下図のようになっており、またそのI/Oアドレスは下表のとおりです。



I/Oアドレス								選択レジスタ
AD ₇	AD ₆	AD ₅	AD ₄	AD ₃	AD ₂	AD ₁	AD ₀	
×	×	×	×	×	0	0	0	内部コマンド/ステータスレジスタ
×	×	×	×	×	0	0	1	汎用I/OポートA (PA)
×	×	×	×	×	0	1	0	汎用I/OポートA (PB)
×	×	×	×	×	0	1	1	I/OポートC (PC)
×	×	×	×	×	1	0	0	タイマカウンタの下位8bit (LSB)
×	×	×	×	×	1	0	1	タイマカウンタの上位6bitとタイマモードの2bit (MSB)

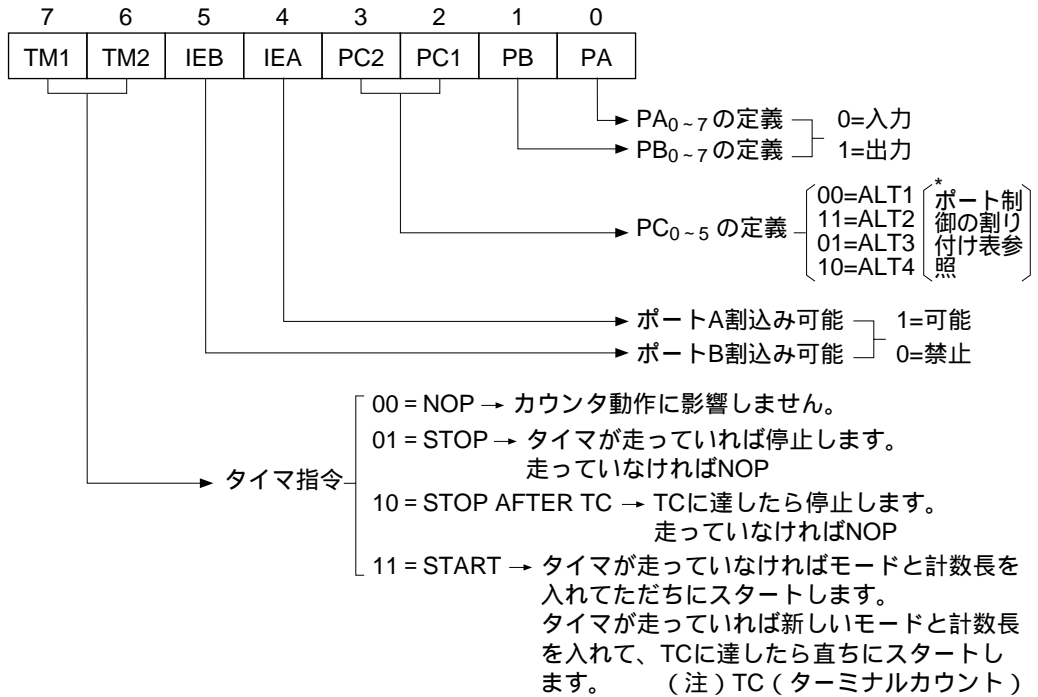
×は未指定

(1) コマンド / ステータスレジスタ

(C/Sレジスタ) のプログラミング

コマンドレジスタは8ビットのラッチ回路で構成されています。C/Sレジスタの内容はI/Oサイクルの書き込み時にI/O番地 $x \times x \times x \times 000$ を用いていつでも変更できます。

C/Sレジスタのビット割付を下に示します。



* ポート制御の割付け表

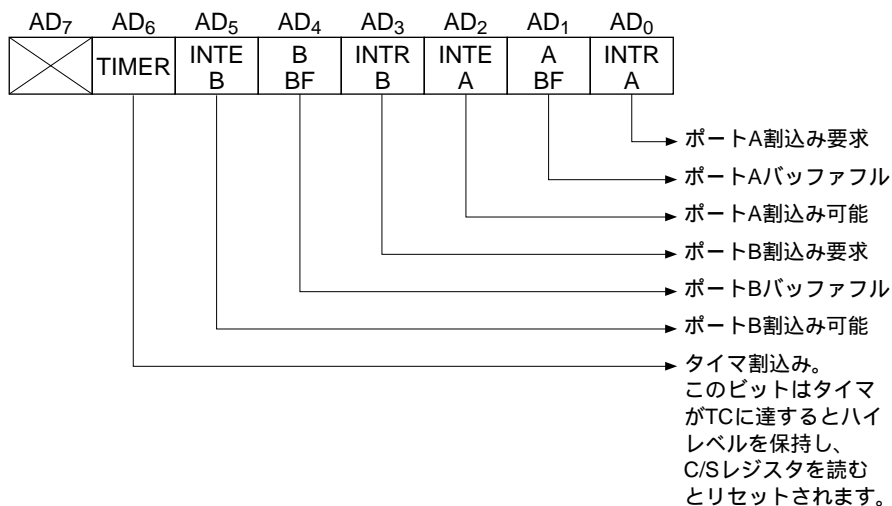
端子	ALT1	ALT2	ALT3	ALT4
PC ₀	入力ポート	出力ポート	A INTR	A INTR
PC ₁	入力ポート	出力ポート	A BF	A BF
PC ₂	入力ポート	出力ポート	$\overline{A STB}$	$\overline{A STB}$
PC ₃	入力ポート	出力ポート	出力ポート	B INTR
PC ₄	入力ポート	出力ポート	出力ポート	B BF
PC ₅	入力ポート	出力ポート	出力ポート	$\overline{B STB}$

(2) C/Sレジスタの読み出し

ステータスレジスタは7ビットのラッチ回路で構成されています。

IO番地 $\times \times \times \times 000$ からC/Sレジスタを読み出すことによってI/Oおよびタイマのステータスを知ることができます。

ステータスワードの形式を下に示します。



(3) PA、PBレジスタ

C/Sレジスタのプログラム内容によって、入力ポートあるいは出力ポートとして使えます。

また、ベーシックモードでもストローブでも使えます。

PAレジスタのIO番地は $\times \times \times \times 001$ です。

PBレジスタのIO番地は $\times \times \times \times 010$ です。

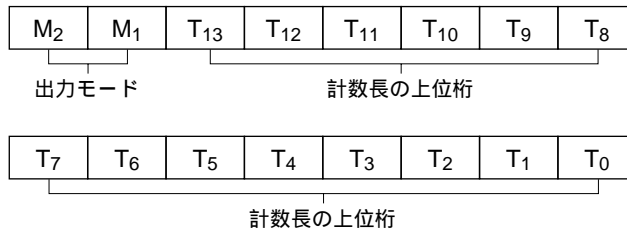
(4) PCレジスタ

C/Sレジスタのプログラム内容によって、入力ポート、出力ポートあるいは制御信号として使えます。

PCレジスタのIO番地は $\times \times \times \times 011$ です。

(5) タイマ

TIMERパルスを数える14ビットのカウンタで、最終値TCに達したとき、方形パルスを出力します。タイマレジスタの下位バイトのI/O番地は $\times \times \times \times 100$ です。タイマレジスタの上位バイトのI/O番地は $\times \times \times \times 101$ です。タイマをプログラムする場合は、タイマ番地を選択し書き込み操作を行う際、計数長レジスタ(CLR)に1バイトずつプログラムします。このときビット位置0から13は計数長が割付けられ、ビット位置14、15はタイマの出力モードが割付けられます。読み出し操作を行うとカウンタの内容と出力モードが読み取れます。カウンタレジスタに最初にロードできる初期値としては、16進数 2_H から $3FFF_H$ までです。タイマの形式と出力モードを次に示します。



M ₂	M ₁	
0	0	数えている期間の後半部分(注1)で低レベル信号を出します。
0	1	数えている期間の後半部分で低レベル信号を出し、最終値TCに達すると自動的にプログラムした計数長を入れて繰り返します。
1	0	最終値TCに達したときパルスを1つ出します。
1	1	最終値TCに達するごとにパルスを1つ出し、自動的にプログラムした計数長を入れて繰り返す。

注記1： たとえば9のように非対称な計数の場合、9の前半部分の5は高レベルになり後半部分の4が低レベルになります。

注記2： MSM81C55-5の内部カウンタにリセットを受けた場合、カウント動作は停止しますが、特定の初期値および出力モードには設定されません。従って、リセット後カウント動作を始めるには、もう一度C/Sレジスタを通してSTART命令を実行させる必要があります。

カウンタの値を読み出す場合には次の注意が必要です。

81C55のタイマ回路は80C85Aシステムの割込み入力用方形波パルスタイマとして設計されており、イベントタイマとしては設計されていません。このためタイマ動作1サイクルで2ずつのカウント・ダウンを2度行うようになっており、カウンタ・レジスタの値はTIMER-INに入力されたパルスの数を直接表わしていません。

またカウント可能な値は $2_H \sim 3FFF_H$ までです。

タイマがカウントダウンを開始した後、カウンタレジスタから読み出した値を実際のTIMER-INに入力されたパルス数を求めることに使うことはできます。

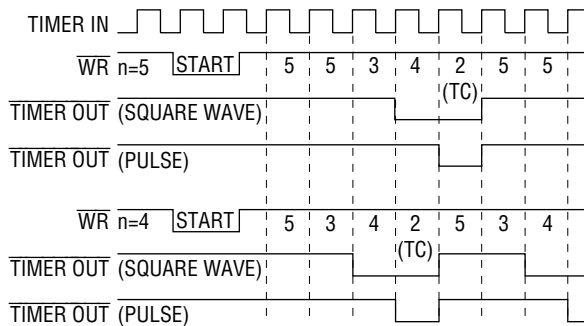
それには以下の処理をプログラムする必要があります。

1. タイマをストップさせる。
2. 16bitのカウンタレジスタの値を読み出す。
3. 上位2bitのモードbitをリセットする。
4. キャリーをリセットして全16bitを右に1bitだけキャリーを通して回転させる。

5. もしキャリーがセットされていなければその結果の値が実際のカウント値です。もしキャリーがセットされていれば設定値の1/2を加えた値が実際のカウント値です。

設定値が奇数の場合は $\frac{\text{設定値} - 1}{2}$
を加えます。

注記3： 奇数カウントの場合は入力パルスが3つ入るまではカウンタの値を読み出しても1カウント目か、2カウント目が見分けることはできません。



注記： nは計数長レジスタ（CLR）に設定した値を示す。
図中の数字はカウンタの値を示す。

(6) 低電圧RAM保持モード

MSM81C55-5はCMOS構造のスタティック型RAMを採用しているため低電源電圧（ $V_{CC} = 2V$ ）でのRAMデータ保持が可能です。低電圧RAMデータ保持モードに入る方法には以下の2とおりがあります。

MSM81C55-5の \overline{CE} はALEの立下り時に内部ラッチ回路に取り込まれるため \overline{CE} が高レベルになった後、ALEが立下ってから低電圧RAMデータ保持モードに入ります。またリセット入力を高レベルにすることで低電圧RAMデータ保持モードに入ることもできます。この場合はコマンドレジスタがリセットされるため自動的にポートは入力モードとなり、タイマはストップします。ここで、入力ポートおよびタイマ入力は消費電流の低減のために V_{CC} 電位またはGND電位に固定させて下さい。

但し、 AD_{0-7} 、 \overline{RD} 、 \overline{WR} 、 IO/\overline{M} には必要ありません。

また、バッテリーバックアップを使用するときはバッテリーバックアップ状態に入る前に、ポートについては出力ポートを低レベルまたは全ての入力ポートにし、タイマ出力については低レベルでタイマを止めるようにするか、高レベルでタイマを止める場合はバッファを付加し、バッファの出力が低レベルになるようにします。

このときバッファの電源はバッテリーに接続して下さい。

ここでバッテリーバックアップ状態になった時には81C55-5の端子にはバッテリーバックアップ電圧よりも高い電圧が印加されないようにする必要がありますことに注意して下さい。

■ 使用上の注意

- MSM81C55-5ではコマンドレジスタへの書き込みでポートA、B、Cを出力に設定しても各ポートの内部ラッチはクリアされません。
但し入力に設定する場合はクリアされます。
- ALE、TIMER-INに規格外のハザード等がのると誤動作を起こすことがあります。

■ 付録

● 低速版から高速版への置き換え時の注意事項

従来生産しておりました低速版は、下記表のとおり高速版に集約されております。低速版をお使いの方で高速版に置き換えをされる方は、次ページ以降の置き換え時の注意事項をお読みください。

高速版製品名（集約製品）	低速版製品名（廃品）	備考
M80C85AH	M80C85A/M80C85A-2	8bit MPU
M80C86A-10	M80C86A/M80C86A-2	16bit MPU
M80C88A-10	M80C88A/M80C88A-2	8bit MPU
M82C84A-2	M82C84A/M82C84A-5	クロックジェネレータ
M81C55-5	M81C55	RAM,I/O,タイマ
M82C37B-5	M82C37A/M82C37A-5	DMAコントローラ
M82C51A-2	M82C51A	USART
M82C53-2	M82C53-5	タイマ
M82C55A-2	M82C55A-5	PPI

MSM81C55-5とMSM81C55との相違点

1) 製造プロセス

全て使用プロセスは3 μ Si-CMOSであり同じです。

2) 設計

チップも全く同一のものを使用しています。出荷テストの規格のみが異なっていました。

2) 電気的特性

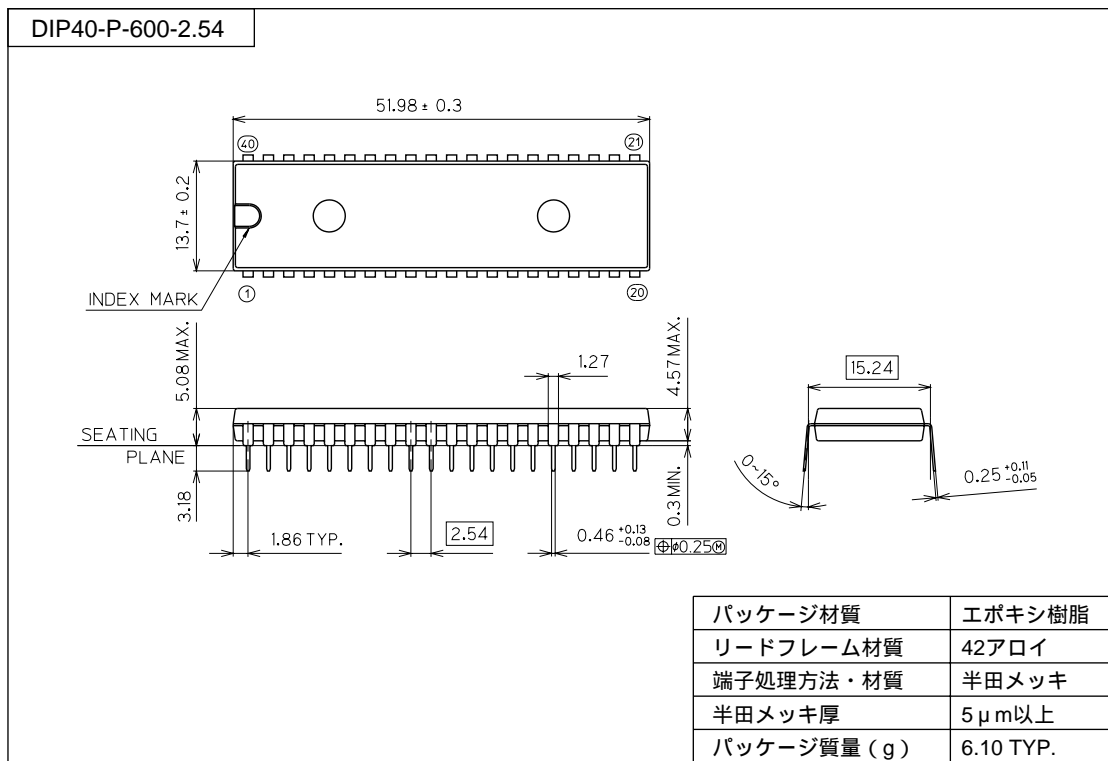
96年度マイクロプロセッサデータブックから、MSM81C55-5はMSM81C55の規格も満足することを明記しており問題ありません。

上記のとおり全く置き換え時に問題となることは考えられません。

以上

■ パッケージ寸法図

(単位 : mm)

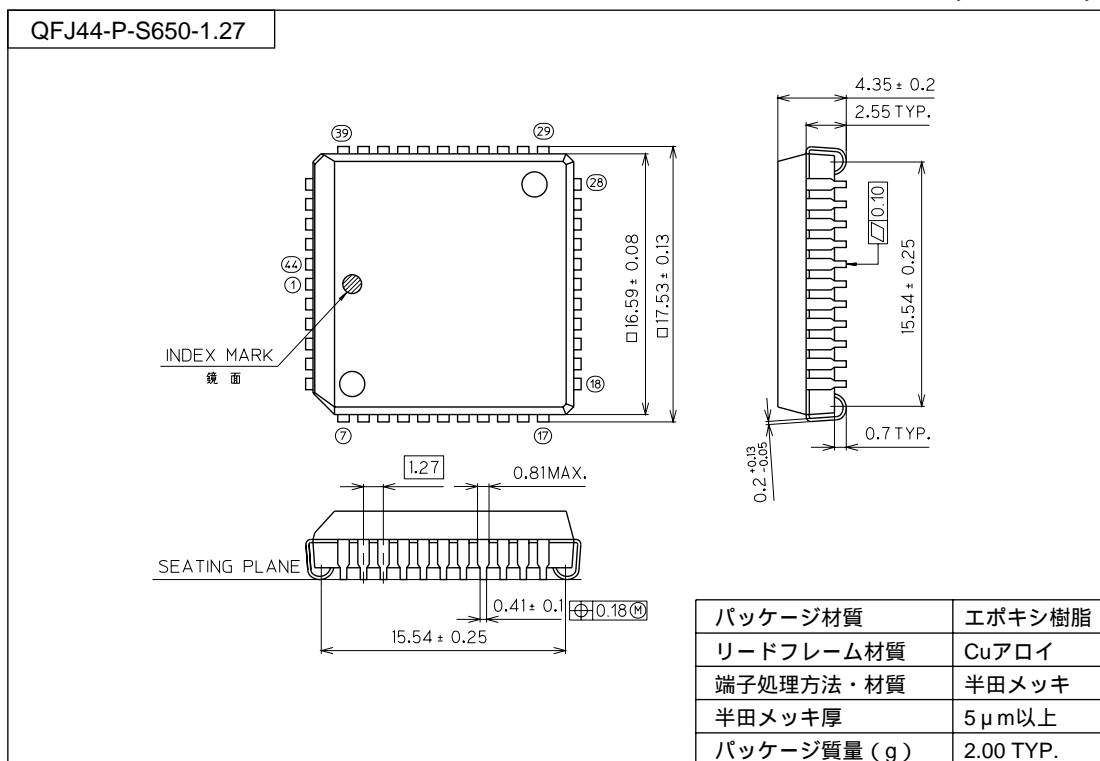


表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。

(単位 : mm)

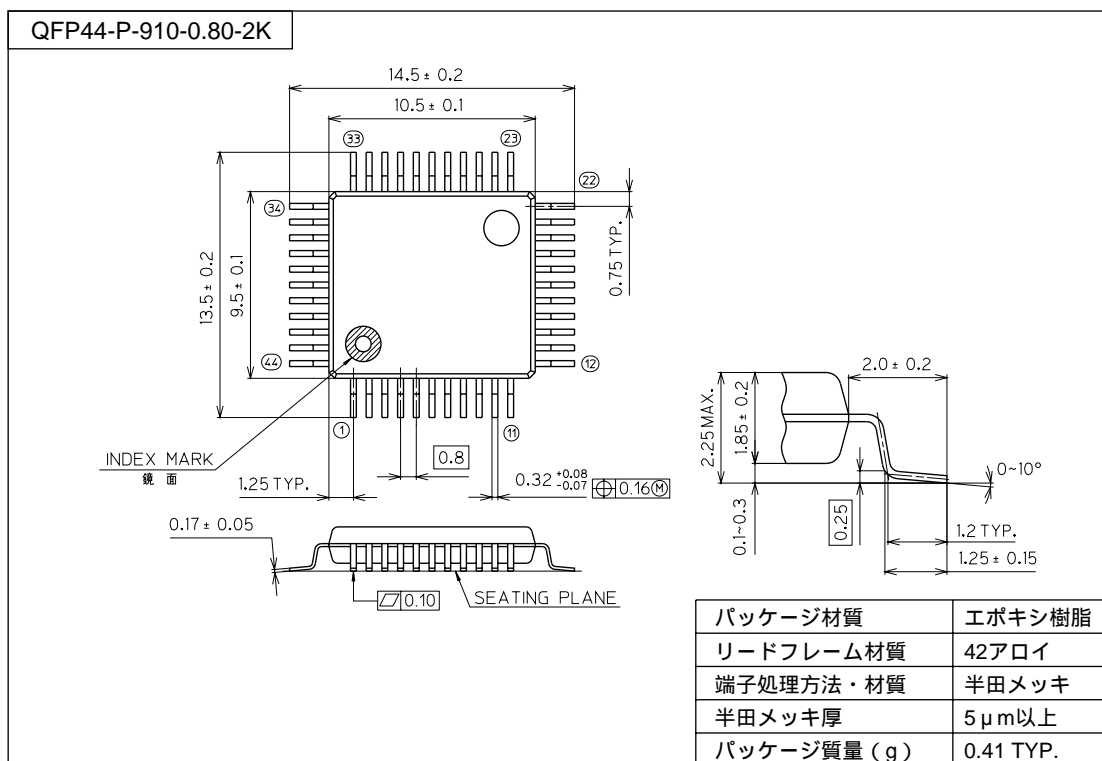


表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。

(単位 : mm)



表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。