

OKI 電子デバイス

作成：1998年 8月

前回作成：1998年 1月

MSM80C85AH

Single Chip 8Bit CMOS Microprocessor

■ 概要

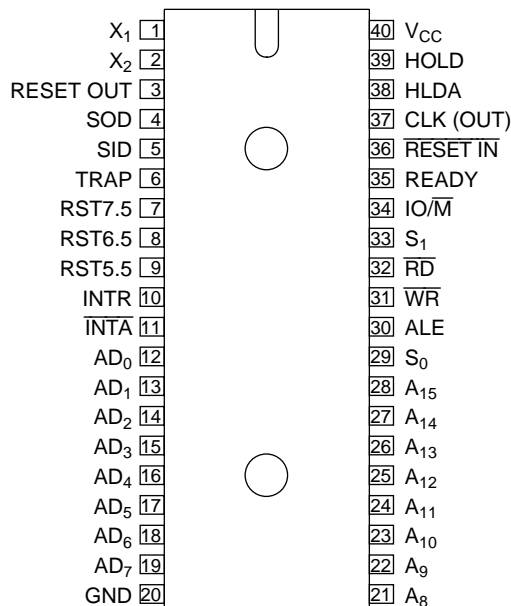
MSM80C85AHは、シリコンゲートCMOSテクノロジーを用いた8ビット1チップ並列処理 CPUで、MSM80C85Aとコンパチブルです。MSM80C85Aに比べ処理性能は動作周波数が最高 5MHzと高速化されており、またパワーダウン機能が追加され低消費電力になっていますので、よりハイ・パフォーマンスなシステムを構成することができます。

■ 特長

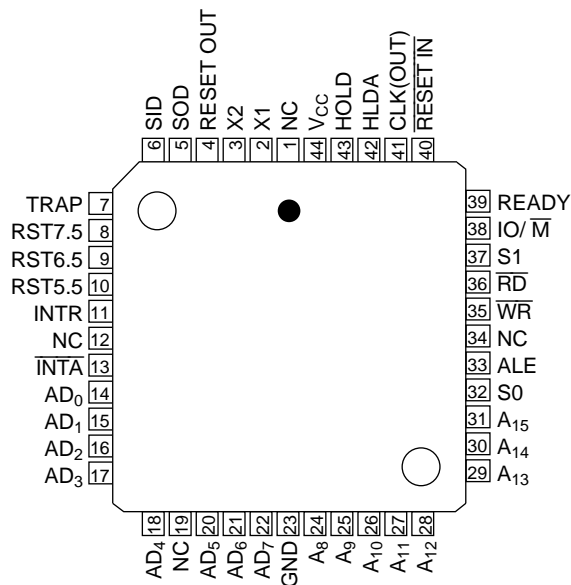
- パワーダウン機能の追加 (HALT 時および HOLD 時)
- シリコンゲート CMOS テクノロジーによる高速低消費電力
- 3V ~ 6V 単一電源
- 命令サイクル 0.8 μ s ($V_{CC} = 5V$ 時)
- クロック発振器内蔵
- 4個のベクタードインタラプト (内 1 個はノンマスク)
- 直列入出力ポート内蔵 (各 1)
- 64K 語メモリへ直接アドレッシング可能
- インテル社 8085A と互換性あり
- 40 ピンプラスチックDIP (DIP40-P-600-2.54) : (製品名: MSM80C85AHR)
- 44 ピンプラスチックQFJ (QFJ44-P-S650-1.27) : (製品名: MSM80C85AHJS)
- 44 ピンプラスチックQFP (QFP44-P-910-0.80-2K) : (製品名: MSM80C85AHGS-2K)

■ 端子接続 (上面図)

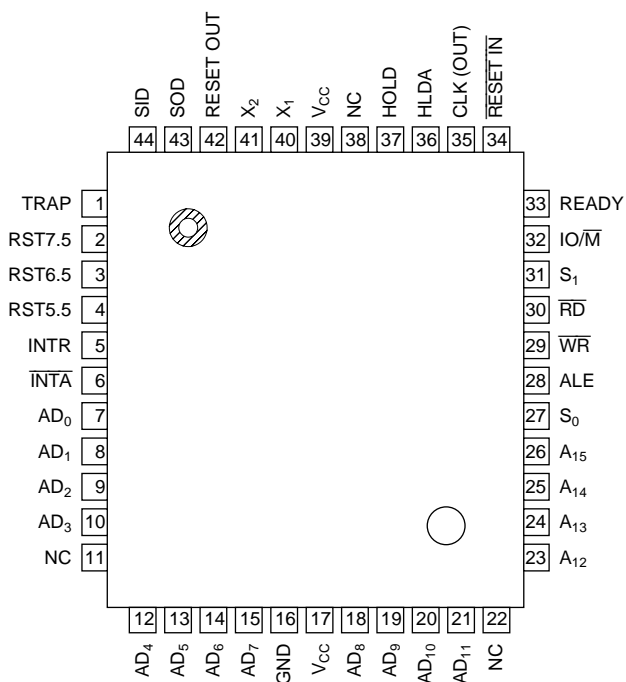
40ピンプラスチックDIP
MSM80C85AHR



44ピンプラスチックQFJ
MSM80C85AHJS

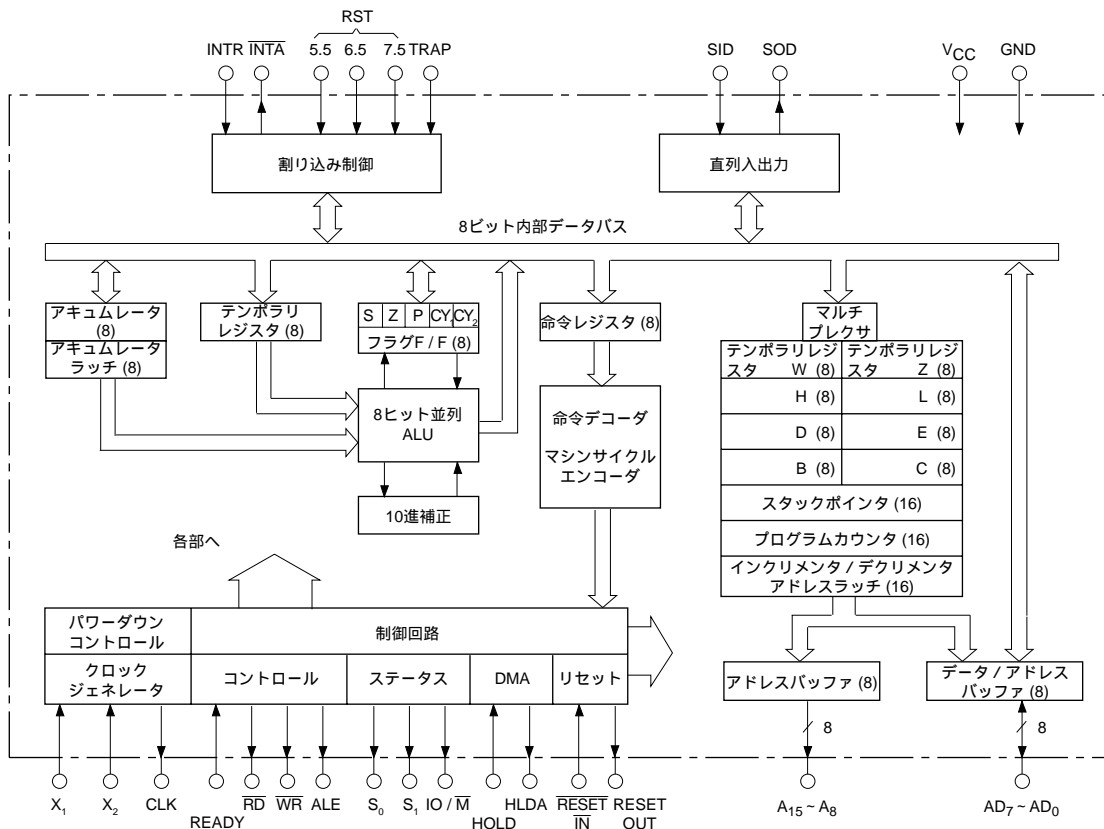


44ピンプラスチックQFP
MSM80C85AHGS-2K



(注) 形名の現品への表示は簡略形を用い、M80C85AHとなります。
NCは未使用端子。

■ 回路構成



■ 電気的特性

● 絶対最大定格

項目	記号	条件	定格値			単位
			MSM80C85AHR5	MSM80C85AHGS	MSM80C85AHJS	
電源電圧	V_{CC}	GNDを基準にした場合	- 0.5 ~ + 7			V
入力電圧	V_{IN}		- 0.5 ~ $V_{CC} + 0.5$			V
出力電圧	V_{OUT}		- 0.5 ~ $V_{CC} + 0.5$			V
保存温度	T_{STG}		- 55 ~ + 150			
許容損失	P_D	$T_a = 25$	1.0	0.7	1.0	W

● 動作範囲

項目	記号	範囲	単位
電源電圧	V_{CC}	3 ~ 6	V
動作温度	T_{OP}	- 40 ~ + 85	

● 推奨動作条件

項目	記号	Min.	Typ.	Max.	単位
電源電圧	V_{CC}	4.5	5	5.5	V
動作温度	T_{OP}	- 40	+ 25	+ 85	
"L"入力電圧	V_{IL}	- 0.3		+ 0.8	V
"H"入力電圧	V_{IH}	2.2		$V_{CC} + 0.3$	V
"L" RESET IN 入力電圧	V_{ILR}	- 0.3		+ 0.8	V
"H" RESET IN 入力電圧	V_{IHR}	3.0		$V_{CC} + 0.3$	V

● 直流特性

項目	記号	測定条件		Min.	Typ.	Max.	単位
"L"出力電圧	V_{OL}	$I_{OL} = 2.5\text{mA}$	$V_{CC} = 4.5\text{V} \sim 5.5\text{V}$ $T_a = - 40 \sim + 85$			0.4	V
"H"出力電圧	V_{OH}	$I_{OH} = - 2.5\text{mA}$		3.0			V
		$I_{OH} = - 100\mu\text{A}$		$V_{CC} - 0.2$			V
入力リーク電流	I_{LI}	0 V_{IN} V_{CC}		- 10		10	μA
出力リーク電流	I_{LO}	0 V_{OUT} V_{CC}		- 10		10	μA
電源電流	I_{CC}	$T_{cyc} = 200\text{ns}$ $C_L = 0\text{pF}$ Reset時			10	20	mA
		$T_{cyc} = 200\text{ns}$ $C_L = 0\text{pF}$ パワーダウン時	-	5	10	mA	

● 交流特性

(Ta = -40 ~ 85, V_{CC} = 4.5V ~ 5.5V)

項目	記号	測定条件	Min.	Max.	単位
クロック周期	t _{CYC}	t _{CYC} =200ns C _L =150pF	200	2000	ns
クロック低レベル時間	t ₁		40		ns
クロック高レベル時間	t ₂		70		ns
クロック立上り、立下り時間	t _r , t _f			30	ns
X ₁ の立上りからCLKの立上りまでの遅延時間	t _{XKR}		25	120	ns
X ₁ の立上りからCLKの立下りまでの遅延時間	t _{XKF}		30	150	ns
A _{8~15} 確定から制御信号の立下りまでの遅延時間(1)	t _{AC}		115		ns
A _{0~7} 確定から制御信号の立下りまでの遅延時間	t _{ACL}		115		ns
A _{0~15} 確定からデータ入力までの時間	t _{AD}			350	ns
RD(INTA)の立下りからアドレスフロート状態までの時間	t _{AFR}			0	ns
A _{8~15} 確定からALEの立下りまでの遅延時間(1)	t _{AL}		50		ns
A _{0~7} 確定からALEの立下りまでの遅延時間	t _{ALL}		50		ns
アドレス確定からREADYまでの時間	t _{ARY}			100	ns
制御信号の立上り以後アドレスの確定している時間	t _{CA}		60		ns
制御信号パルス幅	t _{CC}		230		ns
制御信号の立上りからALEの立上りまでの遅延時間	t _{CL}		25		ns
WRの立上りに対するデータセットアップ時間	t _{DW}		230		ns
HLDAの立下りから活性状態までの遅延時間	t _{HABE}			150	ns
HLDAの立上りからバスフロート状態までの遅延時間	t _{HABF}			150	ns
HLDA確定からCLKの立下りまでの時間	t _{HACK}		40		ns
HOLDのCLKの立下りに対するホールド時間	t _{HDH}		0		ns
HOLDのCLKの立下りに対するセットアップ時間	t _{HDS}		120		ns
INTRのCLKの立下りに対するホールド時間	t _{INH}		0		ns
INTRのCLKの立下りに対するセットアップ時間	t _{INS}		150		ns
ALEの立下り後のアドレスの確定している時間	t _{LA}		50		ns
ALEの立下りから制御信号の立下りまでの遅延時間	t _{LC}		60		ns
ALEの立下りからCLKの立下りまでの時間	t _{LCK}		50		ns
ALEの立下りから読出し時の確定データまでの時間	t _{LDR}			270	ns
ALEの立下りから書込み時の確定データまでの時間	t _{LDW}			140	ns
ALEパルス幅	t _{LL}		80		ns
ALEの立下りに対してREADYを設定するまでの時間	t _{LRV}			30	ns
RDの立上りから次のアドレス確定までの遅延時間	t _{RAE}		90		ns
RD(INTA)の立上りから確定データまでの時間	t _{RD}			150	ns
制御信号の立上りから次の制御信号の立下りまでの時間	t _{RV}	220		ns	
RD(INTA)の立上りに対するデータホールド時間	t _{RDH}	0		ns	
READYのCLKの立上りに対するホールド時間	t _{RYH}	0		ns	
READYのCLKの立上りに対するセットアップ時間	t _{RYS}	100		ns	
WRの立上り後データ確定時間	t _{WD}	60		ns	
WRの立下りからデータ確定までの遅延時間	t _{WDL}		20	ns	

注記1: A_{8~15}はT_{4~6}ではT_{1~3}の内容を保持し、A_{8~15}のスペックはIO/M、S₀、S₁に適應する。

注記2: タイミングは、出力V_L=0.8V、V_H=2.2V、入力は1.5Vで測定。

● 交流特性と周波数 (t_{CYC}) の関係式($T_a = -40 \sim +85$, $V_{CC} = 4.5V \sim 5.5V$)

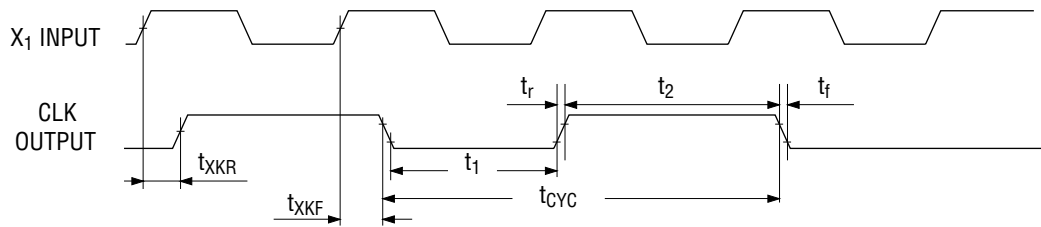
記号	関係式	測定条件
t_{AL}	$(1/2) T - 50$	$C_L = 150pF$
t_{LA}	$(1/2) T - 50$	
t_{LL}	$(1/2) T - 20$	
t_{LCK}	$(1/2) T - 50$	
t_{LC}	$(1/2) T - 40$	
t_{AD}	$(5/2 + N) T - 150$	
t_{RD}	$(3/2 + N) T - 150$	
t_{RAE}	$(1/2) T - 10$	
t_{CA}	$(1/2) T - 40$	
t_{DW}	$(3/2 + N) T - 70$	
t_{WD}	$(1/2) T - 40$	
t_{CC}	$(3/2 + N) T - 70$	
t_{CL}	$(1/2) T - 75$	
t_{ARY}	$(3/2) T - 200$	
t_{HACK}	$(1/2) T - 60$	
t_{HABF}	$(1/2) T + 50$	
t_{HABE}	$(1/2) T + 50$	
t_{AC}	$T - 85$	
t_1	$(1/2) T - 60$	
t_2	$(1/2) T - 30$	
t_{RV}	$(3/2) T - 80$	
t_{LDR}	$(2 + N) T - 130$	

注記 : $T = t_{CYC}$

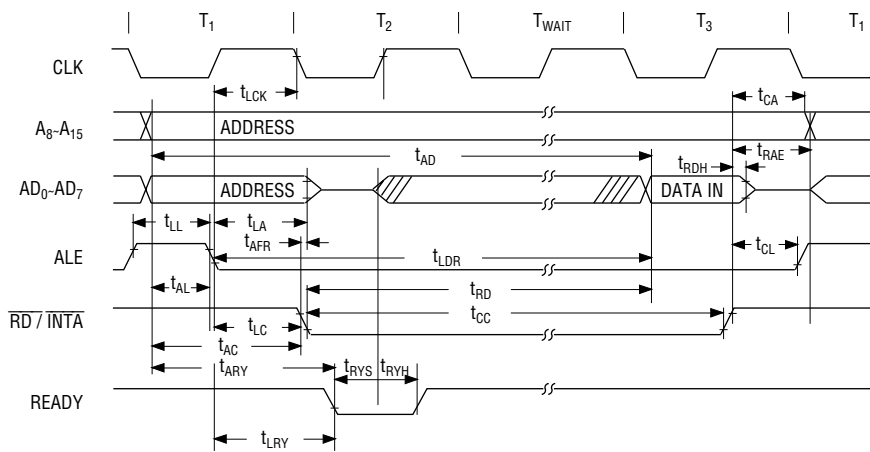
Nはウェイトサイクルの総数

■ タイミング図

● クロック波形図

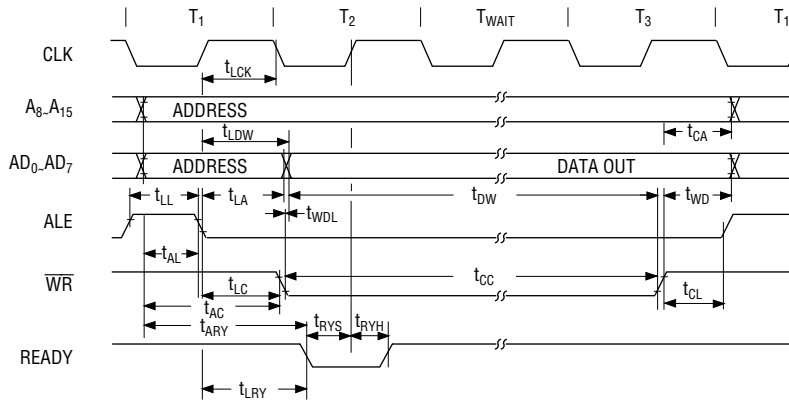


● リードサイクル



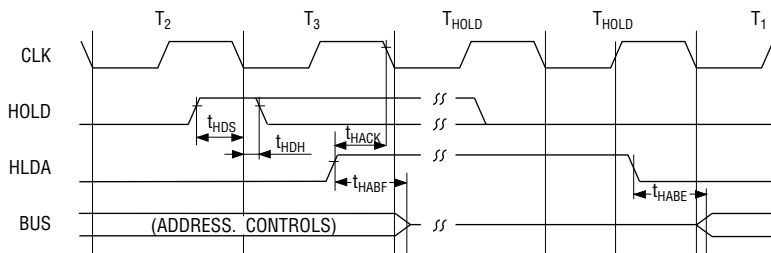
注記： READY信号は、セットアップ、ホールド時間の間は変化してはならない。

● ライトサイクル

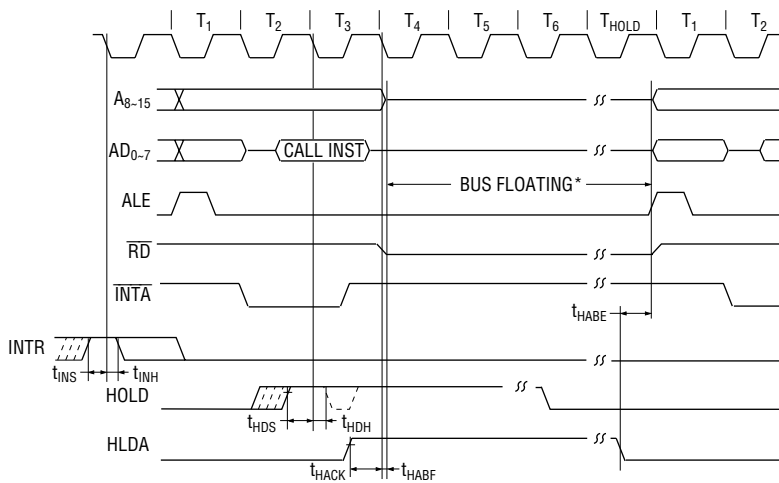


注記： READY信号は、セットアップ、ホールド時間の間は変化してはならない。

● ホールドサイクル



● 割り込みおよびホールドサイクル



* この間はIO / \bar{M} もフローティングになる。

■ 端子説明

端子名	名称	入力 出力	機能															
A ₈ ~ A ₁₅	アドレスバス	出力	メモリアドレスの上位8ビットが、I/Oアドレスの8ビットで、HOLDとHALTモードのときは高インピーダンス状態になります。															
AD ₀ ~ AD ₇	双方向アドレス 及びデータバス	入出力	メモリ番地の下位 8ビット (あるいはI/Oアドレス) 第1クロックサイクル中にバスに現われます。第2、第3クロックサイクル間はデータバスになります。HOLDとHALTモードのときは高インピーダンス状態になります。															
ALE	アドレスラッチ イネーブル出力	出力	第1クロックサイクル中に発生して、周辺部品のチップ上にあるラッチ回路に番地を取り込ませます。ALEの立下り時は番地情報を取り込むためのセットアップ時間、ホールド時間を保証するように作られています。ALEはステータス情報をストロブするのにも使います。															
S ₀ , S ₁	ステータス出力	出力	バスサイクルの符号化したステータスです。 <table style="margin-left: auto; margin-right: auto;"> <tr> <td></td> <td>S₀</td> <td>S₁</td> </tr> <tr> <td>HALT</td> <td>0</td> <td>0</td> </tr> <tr> <td>WRITE</td> <td>0</td> <td>1</td> </tr> <tr> <td>READ</td> <td>1</td> <td>0</td> </tr> <tr> <td>FETCH</td> <td>1</td> <td>1</td> </tr> </table> S ₁ は発行して発生するR/Wステータスとして使えます。		S ₀	S ₁	HALT	0	0	WRITE	0	1	READ	1	0	FETCH	1	1
	S ₀	S ₁																
HALT	0	0																
WRITE	0	1																
READ	1	0																
FETCH	1	1																
\overline{RD}	読み出し指定出力	出力	選択されたメモリ番地かI/O番地を読むことと、データ転送にデータバスを利用することを指示します。HOLDとHALTモードのときは高インピーダンス状態になります。															
\overline{WR}	書き込み指定出力	出力	データバス上にあるデータを選択されたメモリかI/O番地に書き込むことを指示します。データはWRの立下りでセットされます。HOLDとHALTモードのときは高インピーダンス状態になります。															
RST5.5 RST6.5 RST7.5	再起スタート割り込み 要求入力	入力	この3入力信号は、内部で自動的にRESTARTを挿入する点を除き、INTRと同じタイミングです。RST7.5が一番高い優先順位で、RST5.5が一番低い順位です。この割り込み信号グループはINTRより高い優先順位になっています。またこの入力信号によりパワーダウンの解除を行います。															
TRAP	トラップ割り込み 入力	入力	トラップ割り込みはマスクできない再起スタート割り込みです。INTRと同じ時間に受け付けられます。この割り込みはマスクにもインタラプトイネーブルにも影響を受けません。最高位の優先順位を持つ割り込みです。このTRAP入力信号によりパワーダウンの解除を行います。															
$\overline{RESET IN}$	リセット入力	入力	このリセット信号 (最低3クロック入力する必要がある) はプログラムカウンタを"0"にし、インタラプトイネーブルとHLDAフリップフロップをリセットし、またパワーダウンの解除を行います。命令レジスタは影響を受けません。リセット信号がある限り、リセット状態を継続します。															
RESET OUT	リセット出力	出力	CPUがリセット状態にあることを示しており、システムリセットとして使えます。この信号はプロセッサのクロック信号と同期しています。															
X ₁ , X ₂	クロック入力	入力	クロックを内部発生させるためにクリスタルを外付けする端子です。クリスタルの代わりにX ₁ には外部のクロック信号を入れることもできます。															
CLK	クロック出力	出力	CPUにクリスタルをつけて発生させた信号でクロック出力信号として用います。															
IO/M	データ転送制御 出力	出力	書き込み、読み取りがメモリに対してか又はI/Oに対してかを示します。HOLDとHALTモードの間では高インピーダンスになります。															
READY	レディ信号	入力	READY信号が読み取りか書き込みサイクルで高レベルにあると、メモリが周辺機器がデータの授受の用意ができていていることを示します。READY信号が低レベルだとCPUはREADY信号が高レベルになるのを待って読み取りか書き込みサイクルを完了します。READY信号はセットアップ、ホールド時間を満足していなければなりません。															
HOLD	ホールド要求信号	入力	HOLD要求を受け取ると、CPUは現行のマシンサイクル完了後、ただちにバスの使用権を放棄します。HOLD状態を終わらせたときだけ、プロセッサは、再びバスの使用権を得ます。CPUがHOLD信号を受け付けたとき、アドレスバス、データバス、RD、WR、IO/Mの各線は高インピーダンスになります。またこの端子によりパワーダウン機能を制御することができます。															
HLDA	ホールド応答信号	出力	CPUがHOLD要求を受け付けて、次のクロックサイクルでバスの使用権を手放す事を示しています。HOLD要求が終わった後、HLDAは低レベルになります。HLDAが低レベルになって1/2クロックサイクル後CPUはバスを再び使用し始めます。															
INTR	割り込み要求信号	入力	汎用割り込み要求として用います。命令の最後のクロックサイクル期間だけでサンプリングします。割り込みを受け付けるとプログラムカウンタ (PC) をとめて、INTA信号を出します。このサイクル中に割り込みサービスクルーチンへ分岐するためにRESTARTかCALLを挿入することができます。INTRラインはソフトウェアで準備状態にしたり禁止したりできますがこの割り込み要求はRESETが割り込みを受け付けた直後に禁止になります。また、このINTR信号によりパワーダウンの解除を行います。															
\overline{INTA}	割り込み受け付け 制御信号	出力	INTRを受け付けた後の命令サイクルの間で \overline{RD} と同じ時間に \overline{RD} に代わって用います。															
SID	直列データ入力	入力	直列データの入力端子であり、RIM命令が実行されたときにはこの線上のデータはアキュムレータの第7ビット目に入ります。															
SOD	直列データ出力	出力	直列データの出力端子であり、SIM命令によって、この出力をセットしたりリセットしたりします。															

■ 機能

● 概要

MSM80C85AHは時分割データバスを採用しています。番地の上位8ビットはアドレスバスに、下位8ビットはアドレス/データバスに出力されます。アドレス/データバスに下位8ビットのアドレスが出力されるタイミングは各マシンサイクルの最初のステートのみですので、同時にALE端子より出力されるアドレスラッチ(ALE)信号を使用して外部のラッチに保持させます。各サイクルの最初のステート以外のときはアドレス/データバスは8080Aと同様に双方向データバスとして働きます。CPUとメモリ・I/O間のデータ転送は双方向データバスを介して行われますが、バス制御用信号として \overline{RD} 、 \overline{WR} 、 $\overline{IO/M}$ がまた割り込み受け付け信号として \overline{INTA} 信号がCPUより出力されます。HOLD、READYおよび割り込み信号はクロックに同期してCPUに取り込まれます。データの直列伝送には直列データ入力SIDと直列データ出力SODが用意されています。割り込み機能については8080A割り込み機能に加える3本のマスク可能な再スタート割り込みと、1本のマスクできないTRAP割り込みが準備されています。

またMSM80C85AHにはHALTとHOLDを利用したパワーダウン機能が追加されています。

● ステータス情報

ステータス情報はバスサイクルの状態を示す信号です。8080Aの場合この信号は各マシンサイクルの最初のステートにデータバスより出力されていましたがMSM80C85AHでは S_0 、 S_1 のステータス専用端子から出力され、サイクル終了時まで保持されています。ステータス情報は以下ようになります。

	S_0	S_1
HALT	0	0
WRITE	0	1
READ	1	0
FETCH	1	1

● 割り込みと直列 I/O

MSM80C85AHには5本の割り込み入力線INTR、RST5.5、RST6.5、RST7.5、TRAPがあります。INTRは8080AのINTと同じ機能です。RST入力線5.5、6.5、7.5はマスク可能な再スタート割り込み線ですが、TRAPはマスク機能のない再スタート割り込み線です。これらの再スタート割り込み線については、再スタート番地、割り込みセンス方法、優先順位が内部のハードで決定されています。優先順位についてはTRAPが最も高く、以下RST7.5、RST6.5、RST5.5となります。なおINTRはRST5.5より低い優先順位となります。この優先順位体系はたとえ優先順位が高くても、既に実行に入っているルーチンに関しては考慮しませんので注意する必要があります。たとえばRST7.5ルーチン実行中にRST5.5の割り込みが入るとRST7.5の実行を中断することになります。RST6.5、RST5.5、INTRは高レベルを検出して割り込みを受け付けますので要求が取り込まれるまで高レベルに保つ必要があります。RST7.5は立上がりを検出して要求をセットしますのでパルス入力でも可です。セットされた要求は要求が満たされるか、SIM命令あるいはRESETで要求が解除されるまで状態を保持します。RST7.5の場合、マスクがセットされ割り込みが禁止されている場合でも割り込み要求はセットすることが可能です。TRAPはレベルの立上がりで検出されTRAPが受け付けられるまで高レベルを維持しなければなりません、高レベルになるまでTRAPは受けつけられません。直列I/Oの動作はRIM、SIMで行います。SIDはRIM命令で読み込まれ、SIM命令はSODデータをセットします。

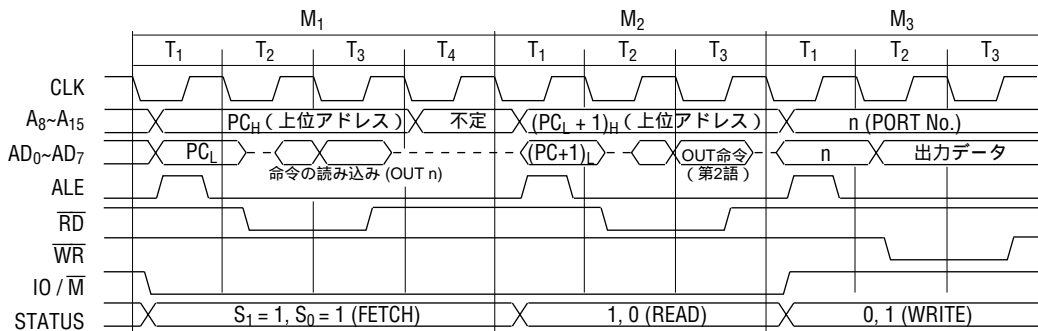
名称	再スタート番地	センス方式
TRAP	24 ₁₆	レベル&エッジ
RST7.5	3C ₁₆	エッジ
RST6.5	34 ₁₆	レベル
RST5.5	2C ₁₆	レベル

●基本タイミング

MSM80C85A-2は時分割データバスです。

ALEはデータバス上の下位8ビットアドレスのサンプリングストロブとして使用します。図1は命令フェッチ メモリ READ I/O WRITE の基本3サイクルを示しています。I/O READ/WRITEの場合アドレスは上位8ビットと下位8ビットは同じになります。MSM80C85AHでも 8080A同様に遅いメモリあるいはI/Oを使用する場合にはREADY信号を利用してT_{WAIT}ステートを挿入することが可能です。

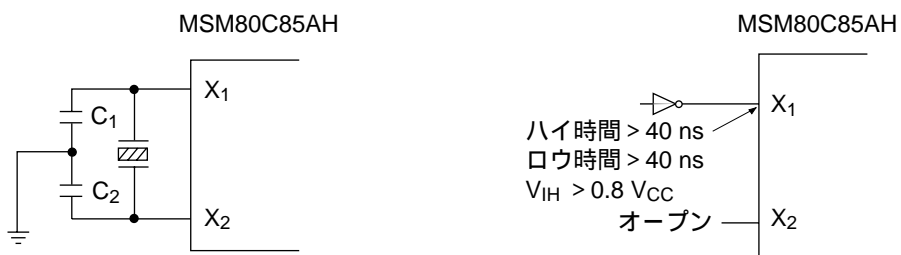
図1. 命令基本タイミング図



●X₁、X₂ 入力の駆動回路

MSM80C85AH のX₁、X₂ 入力は水晶、外部クロックのいずれかにより駆動できます。

推奨発振回路



入力周波数10～6.25MHzの場合C₁ = C₂ = 33 pF
 入力周波数6.25～4MHzの場合C₁ = C₂ = 50 pF
 入力周波数4～1MHzの場合C₁ = C₂ = 100 pF

入力周波数：1～10MHz
 （外部クロック）

注記： 振動子により若干定数が変わる場合がありますので、設計時にはご使用の振動子メーカーにご相談下さい。

● パワーダウンモード

MSM80C85AHはMSM80C85Aと機能コンパチブルであり、さらにパワーダウン機能を追加したため低消費電力です。

このパワーダウンモードの起動にはHALT命令によるソフト制御とHOLD端子によるハード制御の2通りがあります。また、パワーダウンモードの解除にはHOLD端子、RESET端子、割り込み端子（TRAP、RST7.5、RST6.5、RST5.5、INTR）を使用します。（端子説明参照）ここでパワーダウンモードの起動、解除時のHALT、HOLD、RESET、割り込みのシーケンスはMSM80C85Aとコンパチブルですので、ユーザはパワーダウンモードを意識せずに使用することができます。

● パワーダウンモードの解除方法

HALT命令による起動の場合	RESET、割り込みによる解除（HOLD端子では解除されない）
HOLD端子による起動の場合	RESET、HOLDによる解除（割り込み端子では解除されない）

● HALT命令による起動（図2、3）

HALT命令の実行によりパワーダウンモードが起動されます。

このときHOLD端子によりHOLD状態となり、その後HOLDが解除されてもパワーダウンモードは解除されません。

この場合、RESETまたは割り込みをかけることによりパワーダウンモードは解除されます。

HALT命令以外を実行中の場合はHOLD端子によりHOLD状態に入ることによりパワーダウンモードが起動されます。

HOLD時には割り込みはかかりませんので、割り込みでパワーダウンモードを解除することはできません。

この場合RESETをかけるか、HOLD端子によりHOLD状態を解除することによりパワーダウンモードは解除されます。

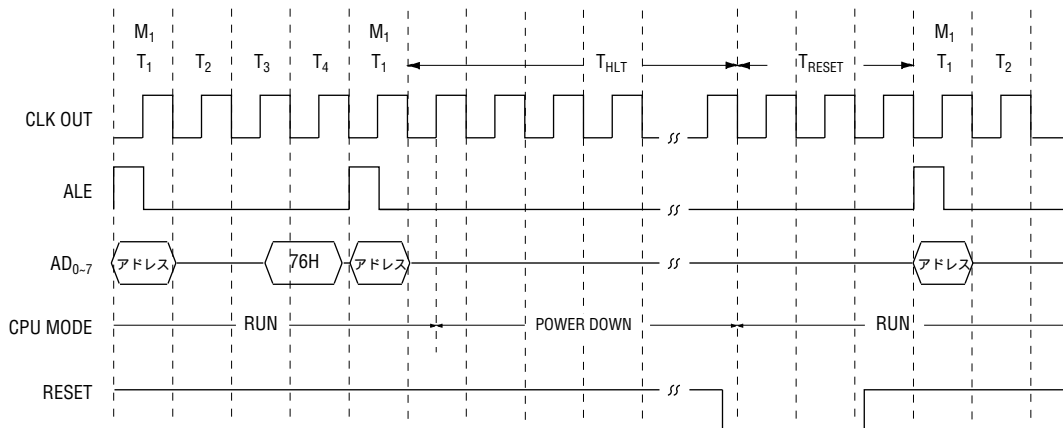


図2 HALT による起動、RESET による解除

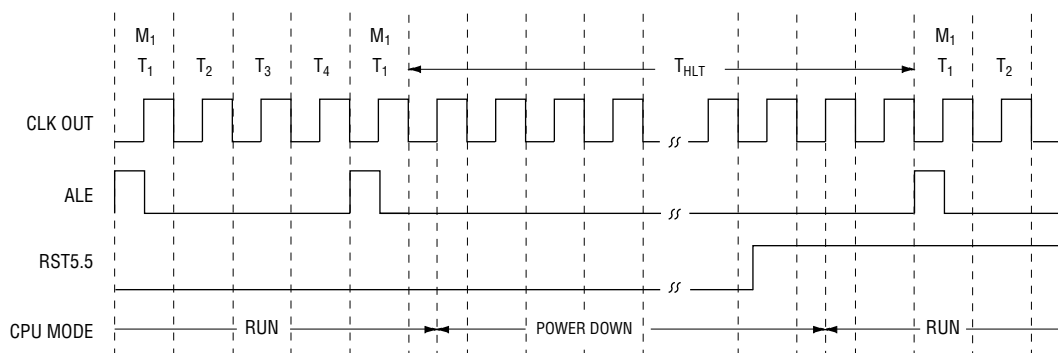


図3 HALT による起動、割り込み (RST5.5) による解除

● HOLD端子による起動 (図 4)

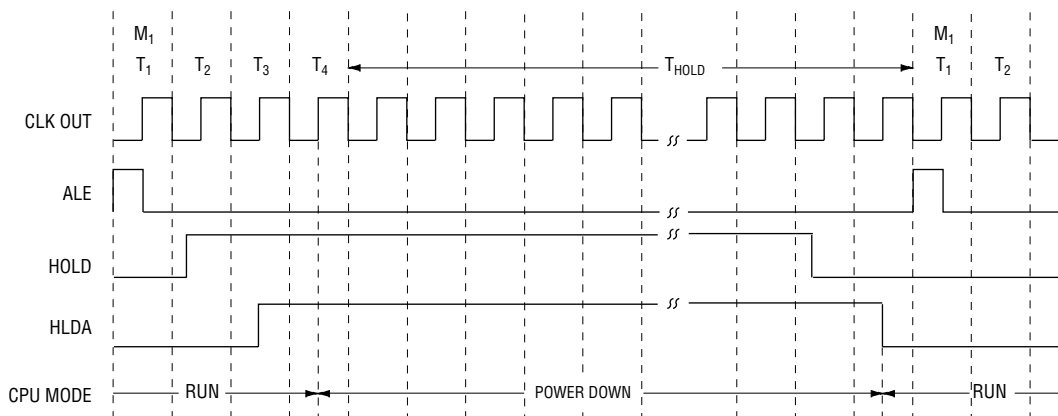


図4 HOLD による起動、解除

● 使用上の注意

1. 発振回路使用時は電源立上げ時に十分に発振が開始するまで RES 入力を低レベル保持して下さい。
2. 電源立上げ時は SOD 等の出力レベルは RESET がかかるまで不定となります。
3. MSM80C85A-2でのパワーダウン起動時のバグ動作は改良されています。
4. 使用条件により、HLDA, RESET OUT, CLK端子には1V程度のひげ状のノイズがのることがありますので、ボード設計時には御注意ねがいます。

■ 命令一覧表

項目 分類	命令記号	命令コード							16進 表記	ス必 テ ト 数 要	バ イ ト 数	サ イ ク ル 数	機能	
		D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁						D ₀
デ ィ タ 転 送 命 令	MOV r ₁ , r ₂	0	1	D	D	D	S	S	S		4	1	1	(r ₁) ← (r ₂)
	MOV M, r	0	1	1	1	0	S	S	S		7	1	2	(M) ← (r) ただし M=(H)(L)
	MOV r, M	0	1	D	D	D	1	1	0		7	1	2	(r) ← (M) ただし M=(H)(L)
	MVI r, n	0	0	D	D	D	1	1	0		7	2	2	(r) ← n
	MVI M, n	0	0	1	1	0	1	1	0	3 6	10	2	3	(M) ← n ただし M=(H)(L)
	LXI B, m	0	0	0	0	0	0	0	1	0 1	10	3	3	(C) ← <B ₂ > (B) ← <B ₃ > ただし m = <B ₃ > <B ₂ >
	LXI D, m	0	0	0	1	0	0	0	1	1 1	10	3	3	(E) ← <B ₂ > (D) ← <B ₃ > ただし m = <B ₃ > <B ₂ >
	LXI H, m	0	0	1	0	0	0	0	1	2 1	10	3	3	(L) ← <B ₂ > (H) ← <B ₃ > ただし m = <B ₃ > <B ₂ >
	LXI SP, m	0	0	1	1	0	0	0	1	3 1	10	3	3	(SP) ← m
	SPHL	1	1	1	1	1	0	0	1	F 9	6	1	1	(SP) ← (H) (L)
	STAX B	0	0	0	0	0	0	1	0	0 2	7	1	2	((B) (C)) ← (A)
	STAX D	0	0	0	1	0	0	1	0	1 2	7	1	2	((D) (E)) ← (A)
	LDAX B	0	0	0	0	1	0	1	0	0 A	7	1	2	(A) ← ((B) (C))
	LDAX D	0	0	0	1	1	0	1	0	1 A	7	1	2	(A) ← ((D) (E))
	STA m	0	0	1	1	0	0	1	0	3 2	13	3	4	(m) ← (A)
	LDA m	0	0	1	1	1	0	1	0	3 A	13	3	4	(A) ← (m)
SHLD m	0	0	1	0	0	0	1	0	2 2	16	3	5	(m) ← (L) (m+1) ← (H)	
LHLD m	0	0	1	0	1	0	1	0	2 A	16	3	5	(L) ← (m) (H) ← (m+1)	
XCHG	1	1	1	0	1	0	1	1	E B	4	1	1	(H) (L) ↔ (D) (E)	
XTHL	1	1	1	0	0	0	1	1	E 3	16	1	5	(H) (L) ← ((SP)+1) ((SP))	
加 減 算 ・ 論 理 演 算 ・ 比 較 命 令	ADD r	1	0	0	0	0	S	S	S		4	1	1	(A) ← (A) + (r)
	ADD M	1	0	0	0	0	1	1	0	8 6	7	1	2	(A) ← (A) + (M) ただし M=(H)(L)
	ACI n	1	1	0	0	0	1	1	0	C 6	7	2	2	(A) ← (A) + n
	ADC r	1	0	0	0	1	S	S	S		4	1	1	(A) ← (A) + (r) + (CY ₂)
	ADC M	1	0	0	0	1	1	1	0	8 E	7	1	2	(A) ← (A) + (M) + (CY ₂) ただし M=(H)(L)
	ADI n	1	1	0	0	1	1	1	0	C E	7	2	2	(A) ← (A) + n + (CY ₂)
	DAD B	0	0	0	0	1	0	0	1	0 9	10	1	3	(H) (L) ← (H) (L) + (B) (C)
	DAD D	0	0	0	1	1	0	0	1	1 9	10	1	3	(H) (L) ← (H) (L) + (D) (E)
	SDAD H	0	0	1	0	1	0	0	1	2 9	10	1	3	(H) (L) ← (H) (L) + (H) (L)
	DAD SP	0	0	1	1	1	0	0	1	3 9	10	1	3	(H) (L) ← (H) (L) + (SP)
	SUB r	1	0	0	1	0	S	S	S		4	1	1	(A) ← (A) - (r)
	SUB M	1	0	0	1	0	1	1	0	9 6	7	1	2	(A) ← (A) - (M) ただし M=(H)(L)
	SUI n	1	1	0	1	0	1	1	0	D 6	7	2	2	(A) ← (M) - n
SBB r	1	0	0	1	1	S	S	S		4	1	1	(A) ← (A) - (r) - (CY ₂)	
SBB M	1	0	0	1	1	1	1	0	9 E	7	1	2	(A) ← (A) - (M) - (CY ₂) ただし M=(H)(L)	
SBI n	1	1	0	1	1	1	1	0	D E	7	2	2	(A) ← (A) - n - (CY ₂)	
ANA r	1	0	1	0	0	S	S	S		4	1	1	(A) ← (A) (r)	
ANA M	1	0	1	0	0	1	1	0	A 6	7	1	2	(A) ← (A) (M) ただし M=(H)(L)	
ANI n	1	1	1	0	0	1	1	0	E 6	7	2	2	(A) ← (A) n	

項目 分類	命令記号		命令コード							16進 表記	ス必 ト 数要	バ イ ト 数	サ イ ク ル 数	機能	
			D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁						D ₀
加減算・ 論理演算・ 比較命令	XRA	r	1	0	1	0	1	S	S	S		4	1	1	(A) ← (A) (r)
	XRA	M	1	0	1	0	1	1	1	0	A E	7	1	2	(A) ← (A) (M) ただし M=(H)(L)
	XRI	n	1	1	1	0	1	1	1	0	E E	7	2	2	(A) ← (A) n
			<B ₂ >												
	ORA	r	1	0	1	1	0	S	S	S		4	1	1	(A) ← (A) (r)
	ORA	M	1	0	1	1	0	1	1	0	B 6	7	1	2	(A) ← (A) (M) ただし M=(H)(L)
	ORI	n	1	1	1	1	0	1	1	0	F 6	7	2	2	(A) ← (A) n
			<B ₂ >												
	CMP	r	1	0	1	1	1	S	S	S		4	1	1	(A) - (r)
CMP	M	1	0	1	1	1	1	1	0	B E	7	1	2	(A) - (M) 大きさの比較ただし M=(H)(L)	
CPI	n	1	1	1	1	1	1	1	0	F E	7	2	2	(A) - n	
		<B ₂ >													
レジスタ 増減命令	INR	r	0	0	D	D	D	1	0	0		4	1	1	(r) ← (r) + 1
	INR	M	0	0	1	1	0	1	0	0	3 4	10	1	3	(M) ← (M) + 1 ただし M=(H)(L)
	DCR	r	0	0	D	D	D	1	0	1		4	1	1	(r) ← (r) - 1
	DCR	M	0	0	1	1	0	1	0	1	3 5	10	1	3	(M) ← (M) - 1 ただし M=(H)(L)
	INX	B	0	0	0	0	0	0	1	1	0 3	6	1	1	(B) (C) ← (B) (C) + 1
	INX	D	0	0	0	1	0	0	1	1	1 3	6	1	1	(D) (E) ← (D) (E) + 1
	INX	H	0	0	1	0	0	0	1	1	2 3	6	1	1	(H) (L) ← (H) (L) + 1
	INX	SP	0	0	1	1	0	0	1	1	3 3	6	1	1	(SP) ← (SP) + 1
	DCX	B	0	0	0	0	1	0	1	1	0 B	6	1	1	(B) (C) ← (B) (C) - 1
DCX	D	0	0	0	1	1	0	1	1	1 B	6	1	1	(D) (E) ← (D) (E) - 1	
DCX	H	0	0	1	0	1	0	1	1	2 B	6	1	1	(H) (L) ← (H) (L) - 1	
DCX	SP	0	0	1	1	1	0	1	1	3 B	6	1	1	(SP) ← (SP) - 1	
ア回 キ転 シフ ムレ ト レ イ 命 令	RLC		0	0	0	0	0	1	1	1	0 7	4	1	1	左シフト CY ₂
	RRC		0	0	0	0	1	1	1	1	0 F	4	1	1	右シフト CY ₂
	RAL		0	0	0	1	0	1	1	1	1 7	4	1	1	左シフト CY ₂
	RAR		0	0	0	1	1	1	1	1	1 F	4	1	1	右シフト CY ₂
アキ ムレ タ補 正命 令	CMA		0	0	1	0	1	1	1	1	2 F	4	1	1	(A) ← (A̅)
	DAA		0	0	1	0	0	1	1	1	2 7	4	1	1	アキムレタ内の2進加算結果の10進補正
キャ リー 設 定 命 令	STC		0	0	1	1	0	1	1	1	3 7	4	1	1	(CY ₂) ← 1
	CMC		0	0	1	1	1	1	1	1	3 F	4	1	1	(CY ₂) ← (CY ₂)̅
飛 び 越 し 命 令	JMP	m	1	1	0	0	0	0	1	1	C 3	10	3	3	(PC) ← m
			<B ₂ >												
	PCHL		1	1	1	0	1	0	0	1	E 9	6	1	1	(PC) ← (H) (L)
	JC	m	1	1	0	1	1	0	1	0	D A	10/7	3	3/2	(CY ₂) = 1
			<B ₂ >												
	JNC	m	1	1	0	1	0	0	1	0	D 2	10/7	3	3/2	(CY ₂) = 0
			<B ₃ >												
	JZ	m	1	1	0	0	1	0	1	0	C A	10/7	3	3/2	(Z) = 1
			<B ₂ >												
	JNZ	m	1	1	0	0	0	0	1	0	C 2	10/7	3	3/2	(Z) = 0
		<B ₃ >													
JP	m	1	1	1	1	0	0	1	0	F 2	10/7	3	3/2	(S) = 0	
		<B ₂ >													
JM	m	1	1	1	1	1	0	1	0	F A	10/7	3	3/2	(S) = 1	
		<B ₃ >													
JPE	m	1	1	1	0	1	0	1	0	E A	10/7	3	3/2	(P) = 1	
		<B ₂ >													
JPO	m	1	1	1	0	0	0	1	0	E 2	10/7	3	3/2	(P) = 0	
		<B ₃ >													

項目 分類	命令記号		命令コード							16進 表記	ス必 テ ト 数要	バ イ ト 数	サ イ ク ル 数	機能	
			D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁						D ₀
サブ ル ー チ ン 呼 び 出 し 命 令	CALL	m	1	1	0	0	1	1	0	1	C D	18	3	5	$((SP) - 1) ((SP) - 2) \leftarrow (PC) + 3,$ $(PC) \leftarrow m (SP) \leftarrow (SP) - 2$
	RST	n	1	1	A	A	A	1	1	1		12	1	3	$((SP) - 1) ((SP) - 2) \leftarrow (PC) + 1,$ $(PC) \leftarrow n \times 8, (SP) \leftarrow (SP) - 2$ ただし 0 n 7
	CC	m	1	1	0	1	1	1	0	0	D C	18/9	3	5/2	$(CY_2) = 1$
	CNC	m	1	1	0	1	0	1	0	0	D 4	18/9	3	5/2	$(CY_2) = 0$
	CZ	m	1	1	0	0	1	1	0	0	C C	18/9	3	5/2	$(Z) = 1$
	CNZ	m	1	1	0	0	0	1	0	0	C 4	18/9	3	5/2	$(Z) = 0$
	CP	m	1	1	1	1	0	1	0	0	F 4	18/9	3	5/2	$(S) = 0$
	CM	m	1	1	1	1	1	1	0	0	F C	18/9	3	5/2	$(S) = 1$
	CPE	m	1	1	1	0	1	1	0	0	E C	18/9	3	5/2	$(P) = 1$
CPO	m	1	1	1	0	0	1	0	0	E 4	18/9	3	5/2	$(P) = 0$	
リ タ ー ン 命 令	RET		1	1	0	1	1	0	0	1	C 9	10	1	3	$(PC) \leftarrow ((SP) + 1), (SP) \leftarrow (SP) + 2$
	RC		1	1	0	1	1	0	0	0	D 8	12/6	1	3/1	$(CY_2) = 1$
	RNC		1	1	0	1	0	0	0	0	D 0	12/6	1	3/1	$(CY_2) = 0$
	RZ		1	1	0	0	1	0	0	0	C 8	12/6	1	3/1	$(Z) = 1$
	RNZ		1	1	0	0	0	0	0	0	C 0	12/6	1	3/1	$(Z) = 0$
	RP		1	1	1	1	0	0	0	0	F 0	12/6	1	3/1	$(S) = 0$
	RM		1	1	1	1	1	0	0	0	F 8	12/6	1	3/1	$(S) = 1$
	RPE		1	1	1	0	1	0	0	0	E 8	12/6	1	3/1	$(P) = 1$
	RPO		1	1	1	0	0	0	0	0	E 0	12/6	1	3/1	$(P) = 0$
入出力 制御命令	IN	n	1	1	0	1	1	0	1	1	D B	10	2	3	$(A) \leftarrow (\text{入力バッファ}) \leftarrow (\text{デバイス番号nの入力機器})$
	OUT	n	1	1	0	1	0	0	1	1	D 3	10	2	3	$(\text{デバイス番号nの出力機器}) \leftarrow (A)$
割り込み 制御命令	EI		1	1	1	1	1	0	1	1	F B	4	1	1	$(INTE) \leftarrow 1$
	DI		1	1	1	1	0	0	1	1	F 3	4	1	1	$(INTE) \leftarrow 0$
スタ ック 操 作 命 令	PUSH	PSW	1	1	1	1	0	1	0	1	F 5	12	1	3	$((SP) - 1) \leftarrow (A), ((SP) - 2) \leftarrow (F)$ $(SP) \leftarrow (SP) - 2$
	PUSH	B	1	1	0	0	0	1	0	1	C 5	12	1	3	$((SP) - 1) \leftarrow (B), ((SP) - 2) \leftarrow (C)$ $(SP) \leftarrow (SP) - 2$
	PUSH	D	1	1	0	1	0	1	0	1	D 5	12	1	3	$((SP) - 1) \leftarrow (D), ((SP) - 2) \leftarrow (E)$ $(SP) \leftarrow (SP) - 2$
	PUSH	H	1	1	1	0	0	1	0	1	E 5	12	1	3	$((SP) - 1) \leftarrow (H), ((SP) - 2) \leftarrow (L)$ $(SP) \leftarrow (SP) - 2$
	POP	PSW	1	1	1	1	0	0	0	1	F 1	10	1	3	$(F) \leftarrow ((SP)), (A) \leftarrow ((SP) + 1)$ $(SP) \leftarrow (SP) + 2$
	POP	B	1	1	0	0	0	0	0	1	C 1	10	1	3	$(C) \leftarrow ((SP)), (B) \leftarrow ((SP) + 1)$ $(SP) \leftarrow (SP) + 2$
	POP	D	1	1	0	1	0	0	0	1	D 1	10	1	3	$(E) \leftarrow ((SP)), (D) \leftarrow ((SP) + 1)$ $(SP) \leftarrow (SP) + 2$
POP	H	1	1	1	0	0	0	0	1	E 1	10	1	3	$(L) \leftarrow ((SP)), (H) \leftarrow ((SP) + 1)$ $(SP) \leftarrow (SP) + 2$	
その他	HLT		0	1	1	1	0	1	1	0	7 6	5	1	1	HALT状態(パワーダウン機能)
	NOP		0	0	0	0	0	0	0	0	0 0	4	1	1	$(PC) \leftarrow (PC) + 1$
8085用 新命令	RIM		0	0	1	0	0	0	0	0	2 0	4	1	1	RST割り込みのマスク、ペンディングになっているRST割り込み要求、及びSIDピンのシリアル入力データのすべてをアキュムレータに読み込みます。アキュムレータの値(ビットパターン)に対応するRST割り込みにマスクをかけます(あるいはマスクを解除します)。また、シリアル出力をイネーブルにし、出力ビットをSODラッチにロードします。
	SIM		0	0	1	1	0	0	0	0	3 0	4	1	1	

記号	内容																			
r	レジスタを表す																			
m	2バイトのデータ																			
n	1バイトのデータ																			
<B ₂ >	命令の第2バイト																			
<B ₃ >	命令の第3バイト																			
AAA	RST命令におけるnの2進表記																			
F	フラグ (S, Z, P, CY ₁ , CY ₂) を含む8ビットのデータ。上位より S, Z, x, CY ₁ , x, P, x, CY ₂ の順に構成される (xは不確定)																			
PC	プログラムカウンタ																			
SP	スタックポイント																			
SSS 又は DDD	レジスタ又はメモリによって決まる順。それぞれ右表のような値が割り付けられる。 ただし M = (H) (L)	<table border="1"> <thead> <tr> <th>レジスタ又はメモリ</th> <th>SSS又はDDD</th> </tr> </thead> <tbody> <tr> <td>B</td> <td>0 0 0</td> </tr> <tr> <td>C</td> <td>0 0 1</td> </tr> <tr> <td>D</td> <td>0 1 0</td> </tr> <tr> <td>E</td> <td>0 1 1</td> </tr> <tr> <td>H</td> <td>1 0 0</td> </tr> <tr> <td>L</td> <td>1 0 1</td> </tr> <tr> <td>M</td> <td>1 1 0</td> </tr> <tr> <td>A</td> <td>1 1 1</td> </tr> </tbody> </table>	レジスタ又はメモリ	SSS又はDDD	B	0 0 0	C	0 0 1	D	0 1 0	E	0 1 1	H	1 0 0	L	1 0 1	M	1 1 0	A	1 1 1
レジスタ又はメモリ	SSS又はDDD																			
B	0 0 0																			
C	0 0 1																			
D	0 1 0																			
E	0 1 1																			
H	1 0 0																			
L	1 0 1																			
M	1 1 0																			
A	1 1 1																			
←	データの移動する方向を示す。																			
()	レジスタ、メモリなどの内容を示す。																			
	論理和																			
—	排他的論理和																			
	論理積																			
-	否定																			

注記： ステート数およびサイクル数 X/Y は条件成立、不成立の場合の各ステート数およびサイクル数を示す。

■ 補足説明

- 1) SIM 命令：アキュムレータに以下の値を設定し、SIM 命令を実行すると MSM80C85AH の割り込みにマスクをかけることができます。

アキュムレータの設定値

ビット7	6	5	4	3	2	1	0
-	-	-	R 7.5	MSE	M 7.5	M 6.5	M 5.5

- R7.5 (Reset Interrupt 7.5 Flip-Flop) : このビットを 1 に設定すると RST7.5 割り込みのエッジ検出フリップフロップをリセットします。
- MSE (Mask Set Enable) : このビットを 1 に設定すると以下のビットでの割り込みのマスクを有効とします。
- M7.5 (Mask RST7.5) : このビットを 1 にまた MSE ビットを 1 にすることにより RST7.5 割り込みをマスクすることができます。
- M6.5 (Mask RST6.5) : このビットを 1 にまた MSE ビットを 1 にすることにより RST6.5 割り込みをマスクすることができます。
- M5.5 (Mask RST5.5) : このビットを 1 にまた MSE ビットを 1 にすることにより RST5.5 割り込みをマスクすることができます。

- 2) RIM 命令：RIM 命令を実行した後にアキュムレータの内容を読みだすと 80C85AH の割り込みの状態を知ることができます。

アキュムレータの読み出し値

ビット7	6	5	4	3	2	1	0
-	I 7.5	I 6.5	I 5.5	IE	M 7.5	M 6.5	M 5.5

- I7.5 (Pending RST7.5) : RST7.5 割り込みがペンディングになっていると 1 が読みだされます。
- I6.5 (Pending RST6.5) : RST6.5 割り込みがペンディングになっていると 1 が読みだされます。
- I5.5 (Pending RST5.5) : RST7.5 割り込みがペンディングになっていると 1 が読みだされます。
- IE (Interrupt Enable Flag) : 割り込みが有効になっていると 1 が読みだされます。
- M7.5 (Mask RST7.5) : RST7.5 割り込みがマスクされていると 1 が読みだされます。
- M6.5 (Mask RST6.5) : RST6.5 割り込みがマスクされていると 1 が読みだされます。
- M5.5 (Mask RST5.5) : RST7.5 割り込みがマスクされていると 1 が読みだされます。

■ 付録

● 低速版から高速版への置き換え時の注意事項

従来生産しておりました低速版は、下記表のとおり高速版に集約されております。低速版をお使いの方で高速版に置き換えをされる方は、次ページ以降の置き換え時の注意事項をお読みください。

高速版製品名（集約製品）	低速版製品名（廃品）	備考
M80C85AH	M80C85A/M80C85A-2	8bit MPU
M80C86A-10	M80C86A/M80C86A-2	16bit MPU
M80C88A-10	M80C88A/M80C88A-2	8bit MPU
M82C84A-2	M82C84A/M82C84A-5	クロックジェネレータ
M81C55-5	M81C55	RAM,I/O,タイマ
M82C37B-5	M82C37A/M82C37A-5	DMAコントローラ
M82C51A-2	M82C51A	USART
M82C53-2	M82C53-5	タイマ
M82C55A-2	M82C55A-5	PPI

MSM80C85AHとMSM80C85A/MSM80C85A-2との相違点

1) 製造プロセスの相違点

項目	MSM80C85A	MSM80C85A-2	MSM80C85AH
製造プロセス	3 μ Si-CMOS	2.5 μ Si-CMOS	2 μ Si-CMOS

2) 機能上の相違点

項目	MSM80C85A	MSM80C85A-2	MSM80C85AH
パワーダウン機能	なし	あり（但し、ホールド使用時に誤動作あり）	あり（左記不具合は改良されている）
T4～T6サイクルでのアドレス出力	不定（インテルとコンパチ）	不定	T3時の内容を保持（低消費電力化のため）

3) 規格上の相違点

3-1) 動作範囲

項目	記号	MSM80C85A	MSM80C85A-2	MSM80C85AH
電源電圧	Vcc	4～6 V	3～6 V	3～6 V

3-2) DC特性

項目	記号	MSM80C85A	MSM80C85A-2	MSM80C85AH
"L"出力電圧	V _{OL}	0.45 V最大 (+ 2 mA)	0.45 V最大 (+ 2 mA)	0.40 V最大 (+ 2.5 mA)
"H"出力電圧	V _{OH}	2.4 V最小 (400 μ A)	2.4 V最小 (400 μ A)	3.0 V最大 (2.5 mA)
"H"出力電圧	V _{OH}	4.2 V最小 (40 μ A)	4.2 V最小 (40 μ A)	Vcc 0.2 V最小 (100 μ A)
電源電流:Res時	I _{CC}	22mA 最大 (@3 MHz)	20mA 最大 (@5 MHz)	20mA 最大 (@5 MHz)
電源電流:PD時	I _{CC}	なし	7mA 最大 (@5 MHz)	10mA 最大 (@5 MHz)

注) Res時はリセット時を、PD時はパワーダウン時を表します。

上記のとおりV_{OL}とV_{OH}はMSM80C85AHの規格がMSM80C85A/MSM80C85A-2の規格をカバーするので問題ありません。電源電流：PD時はMSM80C85AHの規格がMSM80C85A-2の規格をカバーしていないが実使用上ほとんど問題ありません。

3-3) AC特性

次頁のとおりMSM80C85AHの規格（5MHz）はMSM80C85Aの規格（3MHz）をカバーしているので問題はありませぬ。またMSM80C85AHの規格（5MHz）はMSM80C85Aの規格（5MHz）もカバーしているので問題ありません。

AC特性

記号		MSM80C85A	MSM80C85A-2	MSM80C85AH
tCYC	最小	320 ns	200 ns	200 ns
t1	最小	80 ns	40 ns	40 ns
t2	最小	120 ns	70 ns	70 ns
tXKR	最小	30 ns	25 ns	25 ns
tAC	最大	270 ns	115 ns	115 ns
tACL	最小	240 ns	115 ns	115 ns
tAD	最大	575 ns	<u>330 ns</u>	350 ns
tAL	最小	115 ns	50 ns	50 ns
tALL	最小	90 ns	50 ns	50 ns
tARY	最大	220 ns	100 ns	100 ns
tCA	最小	120 ns	60 ns	60 ns
tCC	最小	400 ns	230 ns	230 ns
tCL	最小	50 ns	25 ns	25 ns
tDW	最小	420 ns	230 ns	230 ns
tHABE	最大	210 ns	150 ns	150 ns
tHABF	最大	210 ns	150 ns	150 ns
tHACK	最小	110 ns	40 ns	40 ns
tHDS	最小	170 ns	120 ns	120 ns
tINS	最小	160 ns	150 ns	150 ns
tLA	最小	100 ns	50 ns	50 ns
tLC	最小	130 ns	60 ns	60 ns
tLCK	最小	100 ns	50 ns	50 ns
tLDR	最大	460 ns	<u>250 ns</u>	270 ns
tLDW	最大	200 ns	140 ns	140 ns
tLL	最小	140 ns	80 ns	80 ns
tLRY	最大	110 ns	30 ns	30 ns
tRAE	最小	150 ns	90 ns	90 ns
tRD	最大	300 ns	150 ns	150 ns
tRV	最小	400 ns	220 ns	220 ns
tWD	最小	100 ns	60 ns	60 ns
tWDL	最大	40 ns	20 ns	20 ns

注) イタリック体及び下線の部分は、MSM80C85AHと比較して異なることを示しています。

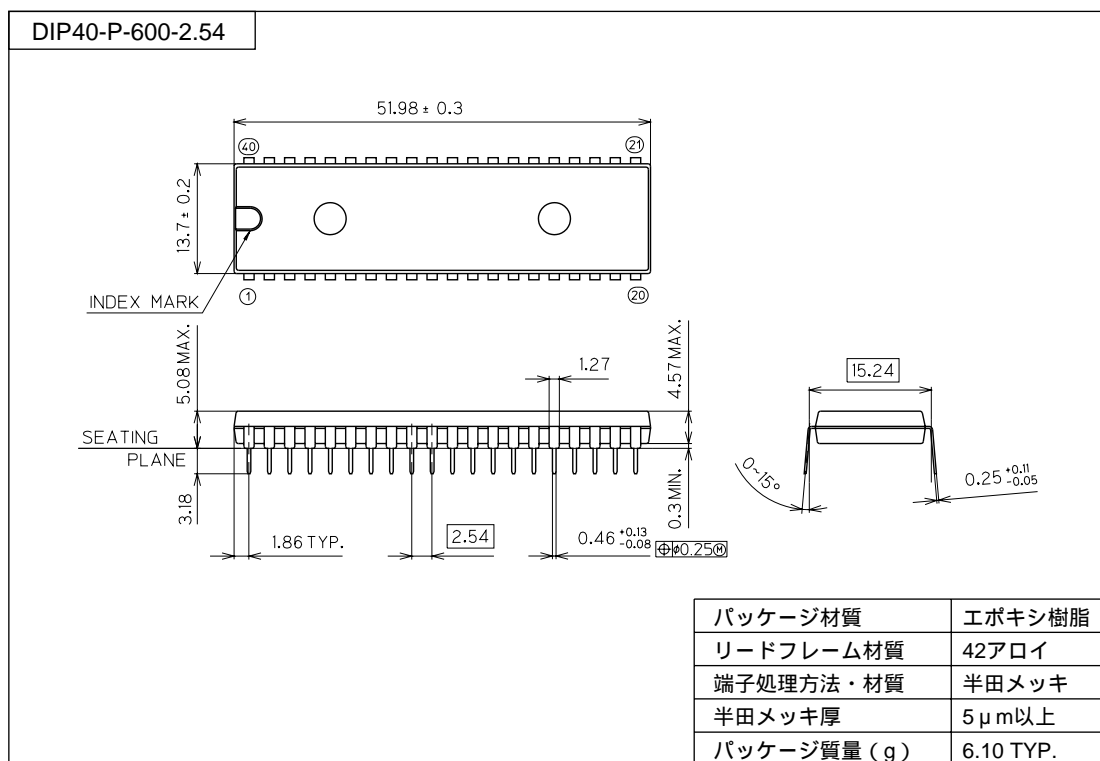
4) その他の注意事項

- (1) MSM80C85AHは、2 μ プロセスを採用しているため若干ノイズ特性が異なることも考えられますので、置き換え時にはノイズ関連の評価をすることを推奨します。特に、HLDA、RESOUT、CLKOUT端子にご注意ください。
- (2) MSM80C85AHは、MSM80C85A-2、MSM80C85Aのスペックを満足しておりますが、タイミング的に若干異なるため、クリティカルなタイミング設計をされている場合は、温度、電圧などを振って動作マージンの評価をされることを推奨します。

以上

■ パッケージ寸法図

(単位：mm)

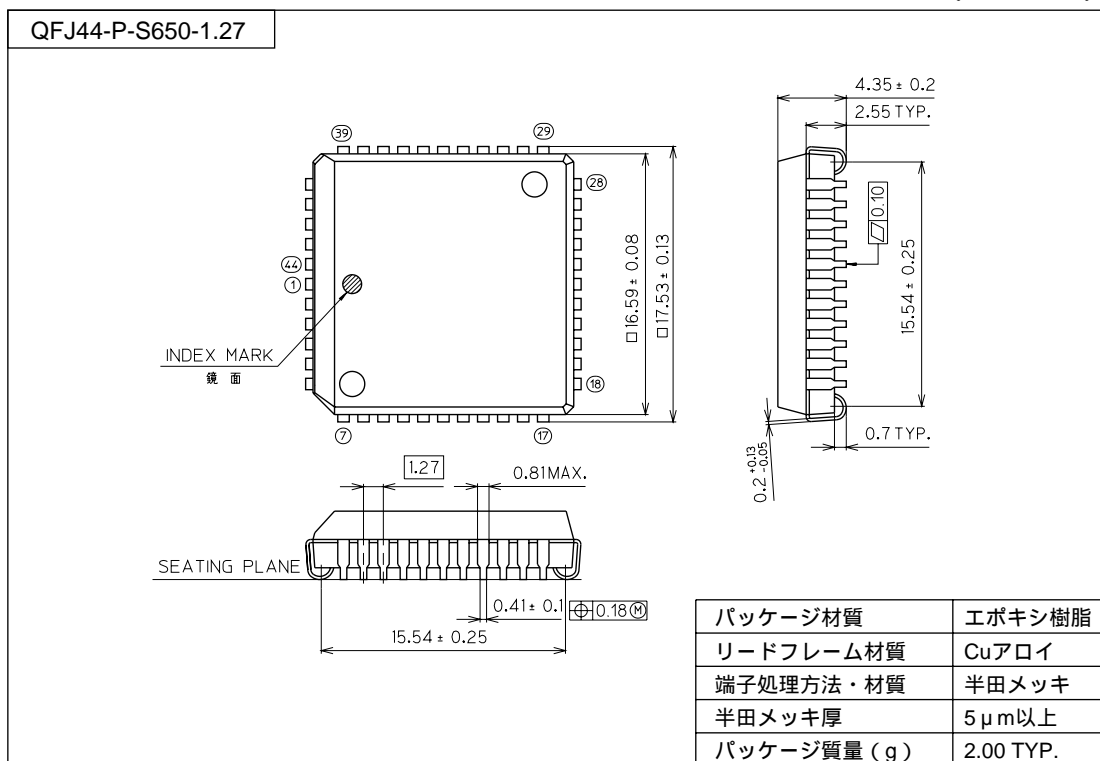


表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などを弊社担当営業まで必ずお問い合わせください。

(単位 : mm)

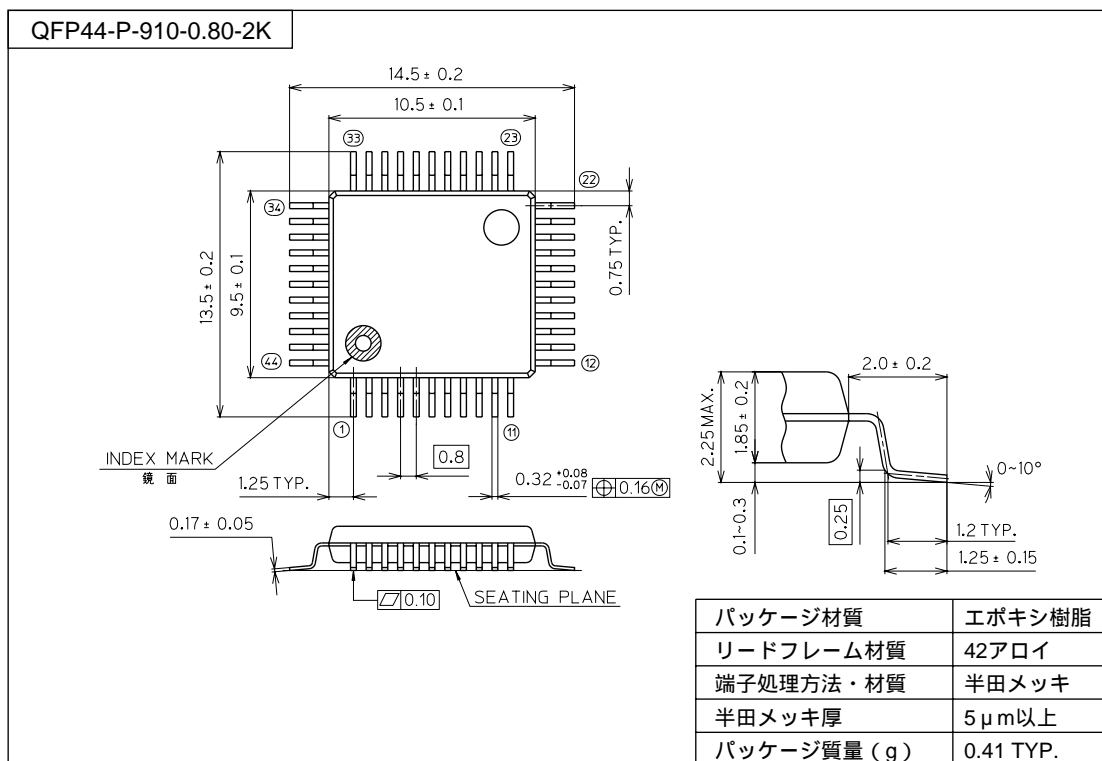


表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。

(単位 : mm)



表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。