

MS81V04166A

(262,214-Word × 8-Bit) × 2 FIELD MEMORY

概要

MS81V04166A は、262,214x8 ビットの高速非同期リード/ライト動作を行う2M ビット FIFO (First-in First-out memory) の2素子をワンチップ化した合計4M ビットの容量を有するデュアルタイプの FIFO です。2M ビット FIFO のそれぞれのリードクロックは共通化してありますが、ライトクロックは独立しています。ピン配置以外は当社の2M ビット FIFO である MSM51V8222A と互換性があり、x16 構成の FIFO としても使用出来ます。

MS81V04166A は、民生用のデジタル TV/VTR 用フィールドメモリであり、医療システム、業務用のグラフィックシステム(長時間の画面の保存、データ保存システム)などのハイエンドユーズ用には適しません。

MS81V04166A は、シリアルリード/シリアルライトがそれぞれの独立したクロックにより非同期かつ異なるクロックレートで独立に制御可能です。また、リセット後はどの番地からもクロックに同期して、待ち時間なしにただちに動作可能です。

MS81V04166A は、シリアルライトクロックが2系統あるため、TV 画面の2分割処理が容易に実現出来ます。

MS81V04166A は、セルフリフレッシュ制御回路を内蔵しており、外部からのリフレッシュは必要ありません。さらに、IE 端子によるライトマスク機能や OE 端子によるリードデータの読み飛ばしなどにより画像データの処理や加工が容易にできます。

パッケージは搭載面積が小さい標準 100 ピン TQFP を用いています。

特長

- 262,214x8 ビット x2 構成
- 20ns サイクルの高速 FIFO 動作
- セルフリフレッシュ制御回路内蔵
- 非同期リード/ライト可能
- 可変長デレイビット(150 ~ 262,214)
- ワード単位でデータの書き込み又は書き込み禁止の制御が可能
- ワード単位でデータの読み出し又は読み出し禁止の制御が可能
- モード設定によりカスケード接続が容易
- 電源 単一 3.3 V ± 0.3 V
- パッケージ:
100 ピンプラスチック TQFP (TQFP100-P-1414-0.50-K)

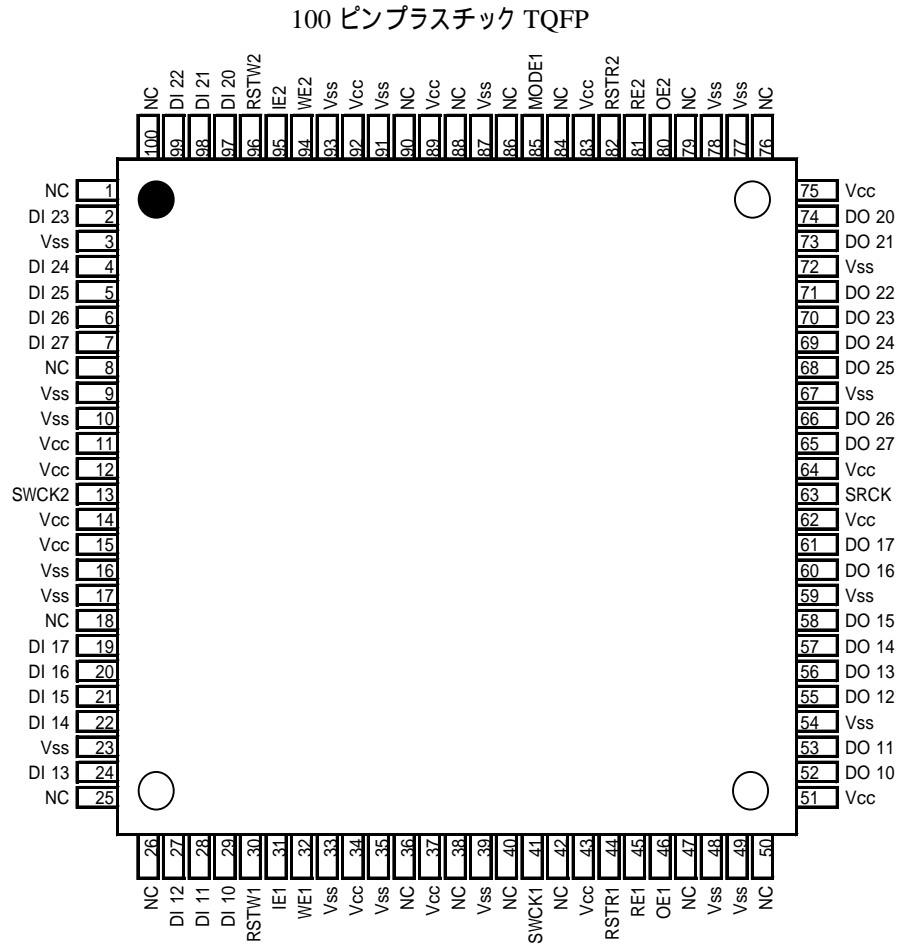
(製品名: MS81V04166A-xxTB)

xx は、スピードランクを表す。

ファミリ構成

ファミリ	アクセスタイム(最大)	サイクルタイム(最小)	パッケージ
MS81V04166A-20TB	18 ns	20 ns	100 ピン プラスチック TQFP
MS81V04166A-25TB	23 ns	25 ns	

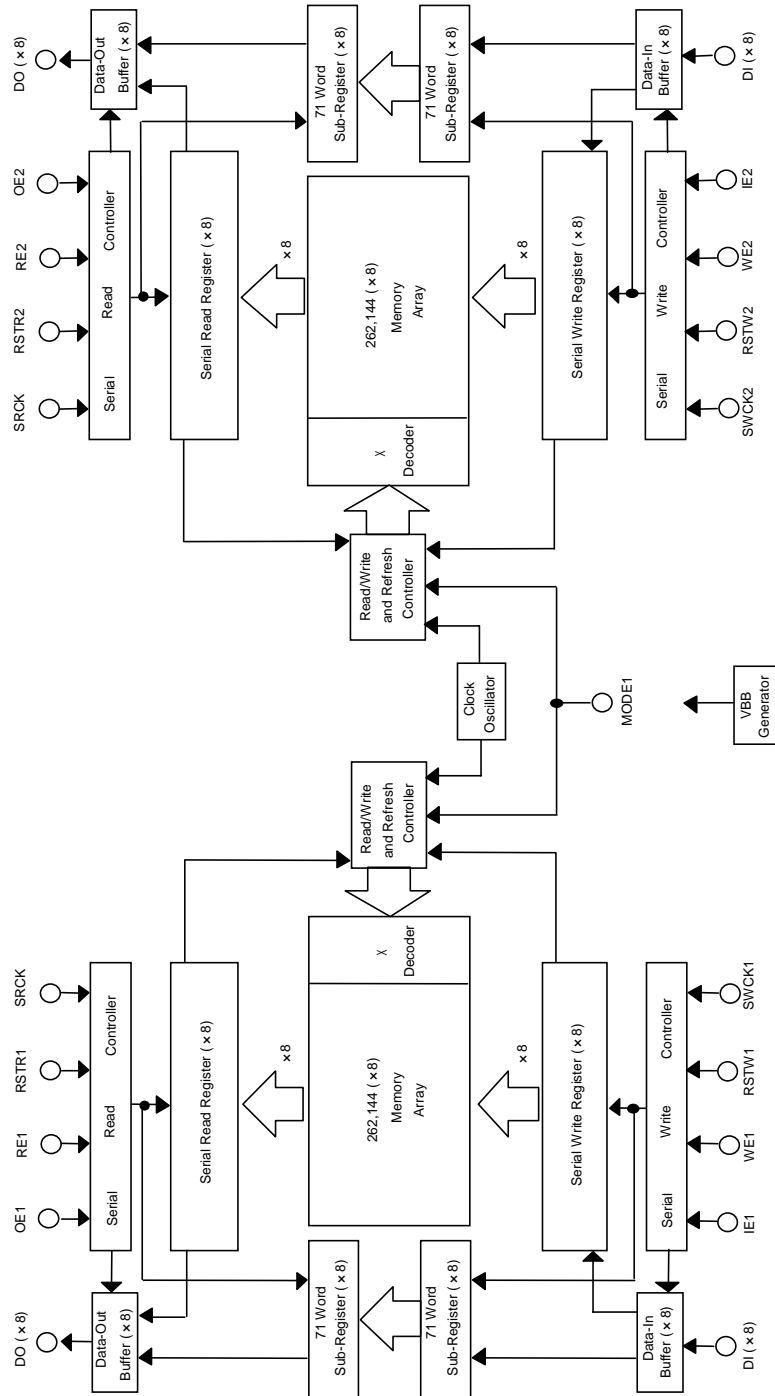
端子接続 (上面図)



ピン名称	機能	ピン名称	機能
SWCK1	ポート1シリアルライトクロック	SRCK	シリアルリードクロック
SWCK2	ポート2シリアルライトクロック	WE2	ポート2ライトイネーブル
WE1	ポート1ライトイネーブル	RE2	ポート2リードイネーブル
RE1	ポート1リードイネーブル	IE2	ポート2インプットイネーブル
IE1	ポート1インプットイネーブル	OE2	ポート2アウトプットイネーブル
OE1	ポート1アウトプットイネーブル	RSTW2	ポート2リセットライト
RSTW1	ポート1リセットライト	RSTR2	ポート2リセットリード
RSTR1	ポート1リセットリード	DI 20-27	ポート2データ入力
DI 10-17	ポート1データ入力	DO 20-27	ポート2データ出力
DO 10-17	ポート1データ出力	NC	無接続
MODE1	モード入力	V _{SS}	グラウンド(0V)
V _{CC}	電源(3.3 V)		

注記: 全ての V_{CC} ピンには同一の電源電圧を印加して下さい。また全ての V_{SS} ピンにも同一の電源電圧を印加して下さい。

回路構成



端子機能

デ - タ入力 (DI 10 ~ 17)

この端子はシリアルデ - タ入力端子として使用します。

リセットライト (RSTW1)

ライト・アドレス・ポインタをイニシャライズ(0番地にもどる)するためのリセット入力端子です。この RSTW1 動作は SWCK1 クロックの立ち上がりエッジに対して規定されるため IE1 と WE1 のレベルに関係なく実施できます。

ライトイネ - ブル (WE1)

ライト・アドレス・ポインタをイネ - ブル / ディセ - ブルにするための入力端子です。WE1 が "H" レベルの時には内部のライト・アドレス・ポインタは SWCK1 に同期してインクリメントしていき、"L" レベルの時には SWCK1 が入力されても内部へのライト動作は禁止され、内部のライト・アドレス・ポインタは停止します。

インプットイネ - ブル (IE1)

書き込み動作をイネ - ブル / ディセ - ブルにするための入力端子です。IE1 が "H" レベルの時はデ - タ内部に取り込み、"L" レベルの時はデ - タを取り込みません。WE1 を "H"、IE1 を "L" にして SWCK1 を入力した場合、ライト・アドレス・ポインタはインクリメントされますが、実際の書き込み動作は行われません。

デ - タ出力 (DO 10 ~ 17)

この端子はシリアルデ - タ出力端子として使用します。

リセットリ - ド (RSTR1)

リ - ド・アドレス・ポインタをイニシャライズ(0番地にもどる)するためのリセット入力端子です。この RSTR1 動作は SRCK クロックの立ち上がりエッジに対して規定されるため OE1 と RE1 のレベルに関係なく実施できます。

リ - ドイネ - ブル (RE1)

リ - ド・アドレス・ポインタをイネ - ブル / ディセ - ブルにするための入力端子です。RE1 が "H" レベルの時には内部のリ - ド・アドレス・ポインタは SRCK に同期してインクリメントしていき、"L" レベルの時には SRCK が入力されても内部のリ - ド・アドレス・ポインタは停止し、その番地のデ - タを出力し続けます。

アウトプットイネ - ブル (OE1)

デ - タ出力端子をイネ - ブル / ディセ - ブルにするための入力端子です。OE1 が "H" レベルの時はデ - タを出力しますが、"L" レベルの時は出力をディセ - ブルにします。RE1 を "H"、OE1 を "L" にして SRCK を入力した場合、リ - ド・アドレス・ポインタはインクリメントされるため、デ - タの読み飛ばしが可能です。

シリアルライトクロック (SWCK1)

この端子にクロックを入力することにより、ポート1のライト動作を実行します。ライト動作は WE1 と IE1 が "H" レベルの時に SWCK に同期して行われ、WE1 が "H" レベルの時には内部ライト・アドレス・ポインタも同時にインクリメントされます。

シリアルライトクロック (SWCK2)

この端子にクロックを入力することにより、ポート2のライト動作を実行します。ライト動作は WE2 と IE2 が "H" レベルの時に SWCK に同期して行われ、WE2 が "H" レベルの時には内部ライト・アドレス・ポインタも同時にインクリメントされます。

シリアルリ - ドクロック (SRCK)

この端子にクロックを入力することにより、リ - ド動作を実行します。リ - ド動作は RE1,2 と OE1,2 が "H" レベルの時に SRCK に同期して行われ、RE1,2 が "H" レベルの時には内部リ - ド・アドレス・ポインタも同時にインクリメントされます。

デ - タ入力 (DI 20 ~ 27)

この端子はシリアルデ - タ入力端子として使用します。

リセットライト (RSTW2)

ライト・アドレス・ポインタをイニシャライズ (0 番地にもどる) するためのリセット入力端子です。この RSTW2 動作は SWCK1 クロックの立ち上がりエッジに対して規定されるため IE2 と WE2 のレベルに関係なく実施できます。

ライトイネ - ブル (WE2)

ライト・アドレス・ポインタをイネ - ブル / ディセ - ブルにするための入力端子です。WE2 が "H" レベルの時には内部のライト・アドレス・ポインタは SWCK2 に同期してインクリメントしていき、"L" レベルの時には SWCK2 が入力されても内部へのライト動作は禁止され、内部のライト・アドレス・ポインタは停止します。

インプットイネ - ブル (IE2)

書き込み動作をイネ - ブル / ディセ - ブルにするための入力端子です。IE2 が "H" レベルの時はデ - タ内部に取り込み、"L" レベルの時はデ - タを取り込みません。WE2 を "H"、IE2 を "L" にして SWCK2 を入力した場合、ライト・アドレス・ポインタはインクリメントされますが、実際の書き込み動作は行われません。

デ - タ出力 (DO 20 ~ 27)

この端子はシリアルデ - タ出力端子として使用します。

リセットリ - ド (RSTR2)

リ - ド・アドレス・ポインタをイニシャライズ (0 番地にもどる) するためのリセット入力端子です。この RSTR2 動作は SRCK クロックの立ち上がりエッジに対して規定されるため OE2 と RE2 のレベルに関係なく実施できます。

リ - ドイネ - ブル (RE2)

リ - ド・アドレス・ポインタをイネ - ブル / ディセ - ブルにするための入力端子です。RE2 が "H" レベルの時には内部のリ - ド・アドレス・ポインタは SRCK に同期してインクリメントしていき、"L" レベルの時には SRCK が入力されても内部のリ - ド・アドレス・ポインタは停止し、その番地のデ - タを出力し続けます。

アウトプットイネ - ブル (OE2)

デ - タ出力端子をイネ - ブル / ディセ - ブルにするための入力端子です。OE2 が "H" レベルの時はデ - タを出力しますが、"L" レベルの時は出力をディセ - ブルにします。RE2 を "H"、OE2 を "L" にして SRCK を入力した場合、リ - ド・アドレス・ポインタはインクリメントされるためデ - タの読み飛ばしが可能です。

モードセット1 (MODE 1)

カスケード / ノンカスケードの選択端子です。MODE1 が V_{cc} レベルでカスケードタイプとして動作します。MODE1 が V_{ss} でノンカスケードタイプとして動作します。メモリ動作中は V_{cc} または V_{ss} に固定する必要があります。動作中に MODE1 のレベルを変化させた場合、メモリデータは保証されません。

電気的特性

絶対最大定格

項目	記号	条件	定格値	単位
端子電圧	V_T	$T_a = 25^\circ\text{C}$ 、 V_{SS} に対して	-0.5 ~ +5.5	V
出力短絡電流	I_{OS}	$T_a = 25^\circ\text{C}$	50	mA
許容損失	P_D	$T_a = 25^\circ\text{C}$	1	W
動作温度	T_{opr}	—	0 ~ 70	$^\circ\text{C}$
保存温度	T_{stg}	—	-55 ~ +150	$^\circ\text{C}$

推奨動作条件

(Ta=0 ~ 70)

項目	記号	Min.	Typ.	Max.	単位
電源電圧	V_{CC}	3.0	3.3	3.6	V
“H”入力電圧	V_{IH}	2.4	V_{CC}	5.5	V
“L”入力電圧	V_{IL}	-0.3	0	+0.8	V

直流特性

(V_{CC}=3.3V ± 0.3V, Ta=0 ~ 70)

項目	記号	条件	Min.	Max.	単位
入力漏洩電流	I_{LI}	$0 < V_i < V_{CC}$ 、他入力 0 V	-10	+10	μA
出力漏洩電流	I_{LO}	$0 < V_o < V_{CC}$	-10	+10	μA
“H”出力電圧	V_{OH}	$I_{OH} = -1 \text{ mA}$	2.4	—	V
“L”出力電圧	V_{OL}	$I_{OL} = 2 \text{ mA}$	—	0.4	V
電源電流 (動作時)	I_{CC1}	最小サイクル時間、出力オープン	—	80	mA
電源電流 (待機時)	I_{CC2}	入力端子 = V_{IH}/V_{IL}	—	3	mA

端子容量

(Ta = 25°C, f = 1 MHz)

項目	記号	Max.	単位
入力容量	C_I	7	pF
出力容量	C_O	7	pF

交流特性

(V_{CC} = 3.3 V ±0.3 V, Ta = 0 ~ 70°C)

項目	記号	MS81V04166A-20		MS81V04166A-25		単位
		Min.	Max.	Min.	Max.	
SRCK からの D _{OUT} アクセス時間	t _{AC}	—	18	—	23	ns
SRCK からの D _{OUT} ホールド時間	t _{DDCK}	6	—	6	—	ns
SRCK からの D _{OUT} イネーブル時間	t _{DECK}	6	20	6	25	ns
SWCK “H” パルス幅	t _{WSWH}	9	—	12	—	ns
SWCK “L” パルス幅	t _{WSWL}	9	—	12	—	ns
入力データセットアップ時間	t _{DS}	3	—	3	—	ns
入力データホールド時間	t _{DH}	4	—	4	—	ns
WE イネーブルセットアップ時間	t _{WENS}	5	—	5	—	ns
WE イネーブルホールド時間	t _{WENH}	5	—	5	—	ns
WE ディセーブルセットアップ時間	t _{WDSS}	5	—	5	—	ns
WE ディセーブルホールド時間	t _{WDSH}	5	—	5	—	ns
IE イネーブルセットアップ時間	t _{IENS}	5	—	5	—	ns
IE イネーブルホールド時間	t _{IENH}	5	—	5	—	ns
IE ディセーブルセットアップ時間	t _{IDSS}	5	—	5	—	ns
IE ディセーブルホールド時間	t _{IDSH}	5	—	5	—	ns
WE “H” パルス幅	t _{WWEH}	5	—	5	—	ns
WE “L” パルス幅	t _{WWEL}	5	—	5	—	ns
IE “H” パルス幅	t _{WIEH}	5	—	5	—	ns
IE “L” パルス幅	t _{WIEL}	5	—	5	—	ns
RSTW セットアップ時間	t _{RSTWS}	3	—	3	—	ns
RSTW ホールド時間	t _{RSTWH}	5	—	10	—	ns
SRCK “H” パルス幅	t _{WSRH}	9	—	12	—	ns
SRCK “L” パルス幅	t _{WSRL}	9	—	12	—	ns
RE イネーブルセットアップ時間	t _{RENS}	3	—	3	—	ns
RE イネーブルホールド時間	t _{RENH}	5	—	5	—	ns
RE ディセーブルセットアップ時間	t _{RDSS}	3	—	3	—	ns
RE ディセーブルホールド時間	t _{RDSH}	5	—	5	—	ns
OE イネーブルセットアップ時間	t _{OENS}	3	—	3	—	ns
OE イネーブルホールド時間	t _{OENH}	5	—	5	—	ns
OE ディセーブルセットアップ時間	t _{ODSS}	5	—	5	—	ns
OE ディセーブルホールド時間	t _{ODSH}	5	—	5	—	ns
RE “H” パルス幅	t _{WREH}	3	—	3	—	ns
RE “L” パルス幅	t _{WREL}	5	—	5	—	ns
OE “H” パルス幅	t _{WOEH}	5	—	5	—	ns
OE “L” パルス幅	t _{WOEL}	5	—	5	—	ns
RSTR セットアップ時間	t _{RSTRS}	3	—	3	—	ns
RSTR ホールド時間	t _{RSTRH}	5	—	10	—	ns
SWCK サイクル時間	t _{SWC}	20	—	25	—	ns
SRCK サイクル時間	t _{SRC}	20	—	25	—	ns
立ち上がり、立ち下がり時間	t _T	3	30	3	30	ns

交流特性測定条件

出力比較レベル	1.5 V / 1.5 V
出力負荷	1TTL + 30 pF
入力信号レベル	3.0 V / 0.0 V
入力信号立ち上がり/立ち下がり時間	3 ns
入力信号測定基準レベル	1.5 V

- 注記:
1. 交流特性測定時の入力電圧レベルは、 $V_{IH} = 3.0\text{ V}$ と $V_{IL} = 0\text{ V}$ です。遷移時間 t_r は、 $V_{IH} = 3.0\text{ V}$ と $V_{IL} = 0\text{ V}$ の間を遷移する時間です。
 2. すべてのサイクルの立ち上がり、立ち下がり時間 t_r は 3 ns で規定。
 3. ライトとリ - ドの非同期動作を実施する場合、ライト実施番地とリ - ド実施番地との差は常に 150 番地以上であることが必要です。
 4. あるサイクルでライトされたデ - タをリ - ドするためには、リ - ドサイクルは 150 番地以上の差を持って行って下さい。但し、リ - ド番地がライト番地に比べて 20 以下であれば、旧のライトデ - タが出力されます。
 5. リ - ド番地がライト番地に比べて 21 以上 149 以下の場合と 262,214 以上の場合の出力デ - タは新/旧どちらのデ - タが出力されるか保証されません。この場合でも書き込みデ - タは正常に書き込まれます。

動作モード

ライトサイクル

ライト動作は、WE1 と IE1 が共にインネ - ブル("H"レベル)の時、SWCK1 クロックに同期してポート1のライトが実行されます。ライト動作を行う前には、内部回路のイニシャライズのために必ず RSTW1 の動作を行って下さい。

ライト動作を完了する時には、最後のデータをメモリセルに転送するために、必ず RSTW1 の動作を行って下さい。

この時、WE1 はディセ - ブル("L"レベル)にして RSTW1 動作を行って下さい。RSTW1 動作を実施してライト動作を開始した後、次の RSTW1 動作は必ず 140 番地以上離して実施して下さい。MODE1 を V_{SS} にすることで、SWCK1 に同期して RSTW1、WE1、IE1、の信号が入力されたサイクルでライトデータを取り込む動作モードになります。MODE1 を V_{CC} にすることで、SWCK1 に同期して RSTW1、WE1、IE1 の信号が入力された次のサイクルでライトデータを取り込む動作モードになります。

これらの動作はポート1、ポート2とも同一です。

WE1,2 と IE1,2 によるライト・アドレス・ポインタとデータ入力の状態

WE1,2	IE1,2	内部ライト・アドレス・ポインタ	データ入力
H	H	インクリメントする	入力される
H	L		入力されない
L	X	停止する	

X は"H"または"L"

リードサイクル

リード動作は、RE1 と OE1 が共にインネ - ブル("H"レベル)の時、SRCK クロックに同期してポート1のリードが実行されます。

リード動作を行う前には、内部回路のイニシャライズのために必ず RSTR1 の動作を行って下さい。

RSTR1 動作を実施してリード動作を開始した後、次の RSTR1 動作は必ず 140 番地以上離して実施して下さい。これらの動作はポート1、ポート2とも同一です。

RE1,2 と OE1,2 によるリード・アドレス・ポインタとデータ出力の状態

RE1,2	OE1,2	内部リード・アドレス・ポインタ	データ出力
H	H	インクリメントする	出力される
H	L		ハイ・インピーダンス
L	H	停止する	出力される
L	L		ハイ・インピーダンス

電源投入

メモリを正常に動作させるため電源投入時は、SWCK1SWCK2,,SRCK,RSTW1,RSTR1,RSTW2,RSTR2 端子を”L“レベルに、WE1,IE1,RE1,OE1,WE2,IE2,RE2,OE2 端子は”L“レベルあるいは Vcc と同時か、もしくは先に”H“レベルを保持して下さい。電源投入後 Vcc が規定の電圧に到達してから上記端子レベルの状態ですら 100 μ s 以上のあいだ待機した後、規定の入力レベル、タイミング条件により動作を開始して下さい。

このとき、内部のライト・アドレス・ポインタ、リード・アドレス・ポインタの位置は不定となっているため、RSTW1,2 及び RSTR1,2 の動作を行いポインタのイニシャライズをを実行して下さい。それに引き続き、80 以上の擬似データ書き込み及び読み出しサイクルを実施して下さい。上記ポインタのイニシャライズ、80 以上の擬似ライト、リード動作においても規定の入力レベル、タイミング条件で動作をする必要があります。その後の RSTW1,2、RSTR1,2 によるリセット動作から正常に最初の番地(0 番地)からデータのライト/リード動作を行う事が出来ます。

新デ - タリ - ドアクセス

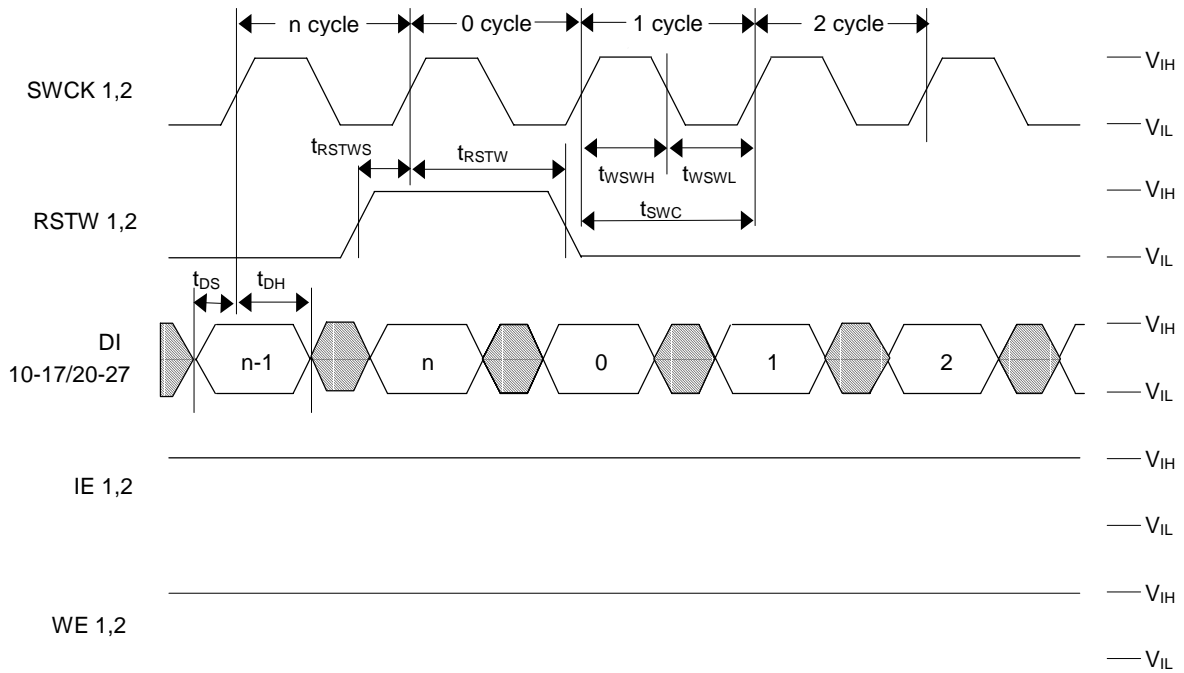
新デ - タをリ - ドする場合(書き込まれたデ - タを後追いで読み出す場合)リ - ド番地とライト番地のアドレス差は必ず、150 以上 262,213 以下であることが必要です。

旧デ - タリ - ドアクセス

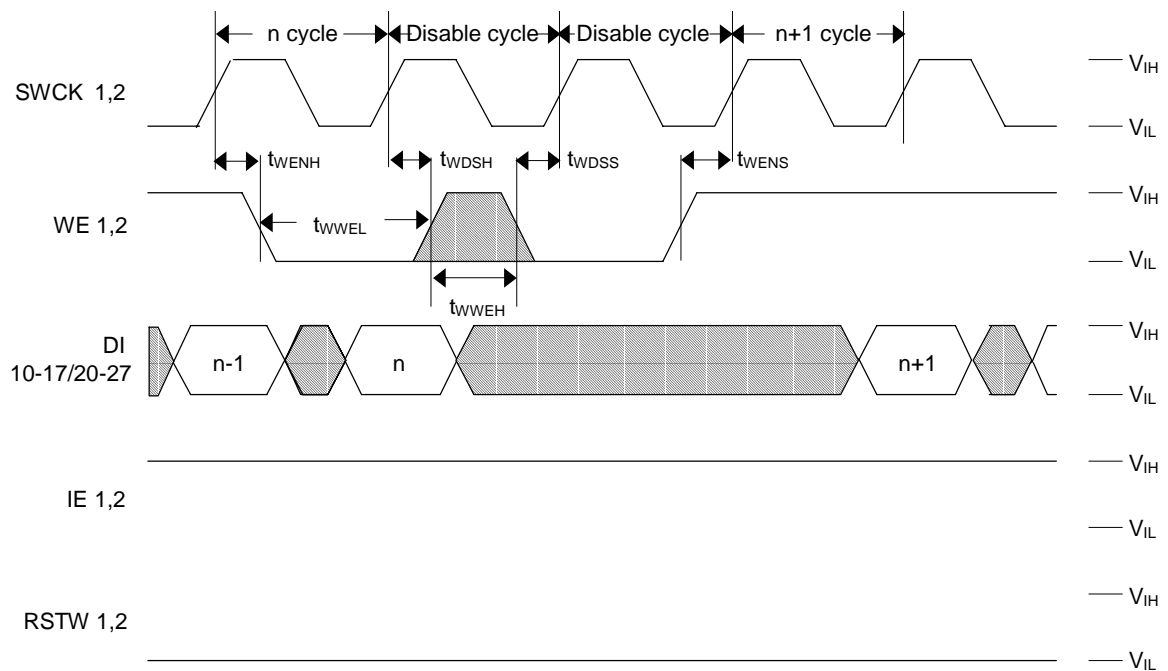
旧デ - タをリ - ドする場合(書き込み動作を行っている以前に書き込まれたデ - タを読み出す場合)リ - ド番地とライト番地のアドレス差は必ず、0 以上 20 以下であることが必要です。

タイミングチャート

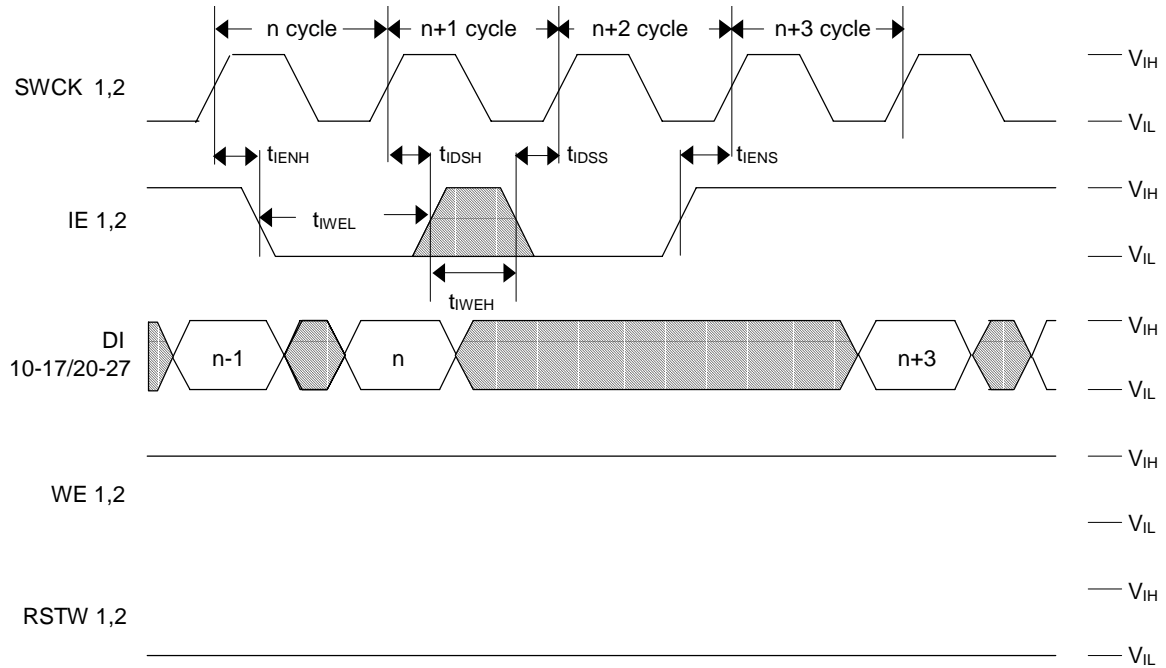
ライトサイクルタイミング (ライトリセット : MODE1=V_{CC})



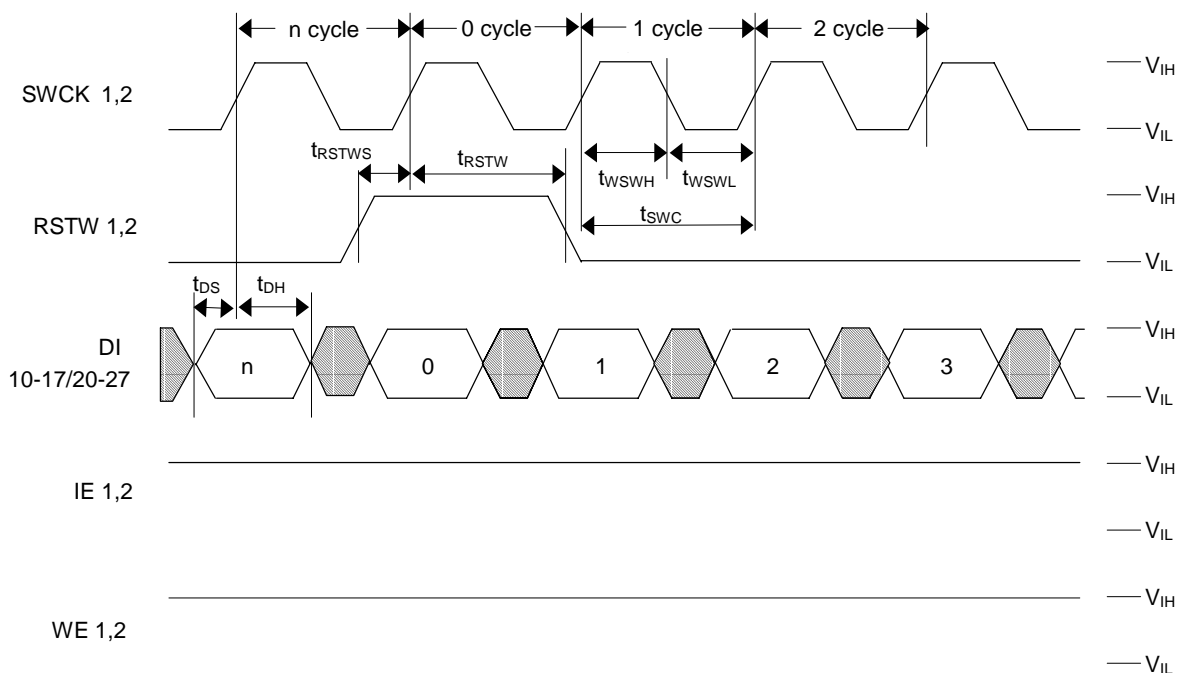
ライトサイクルタイミング (ライトイネ - ブル : MODE1=V_{CC})



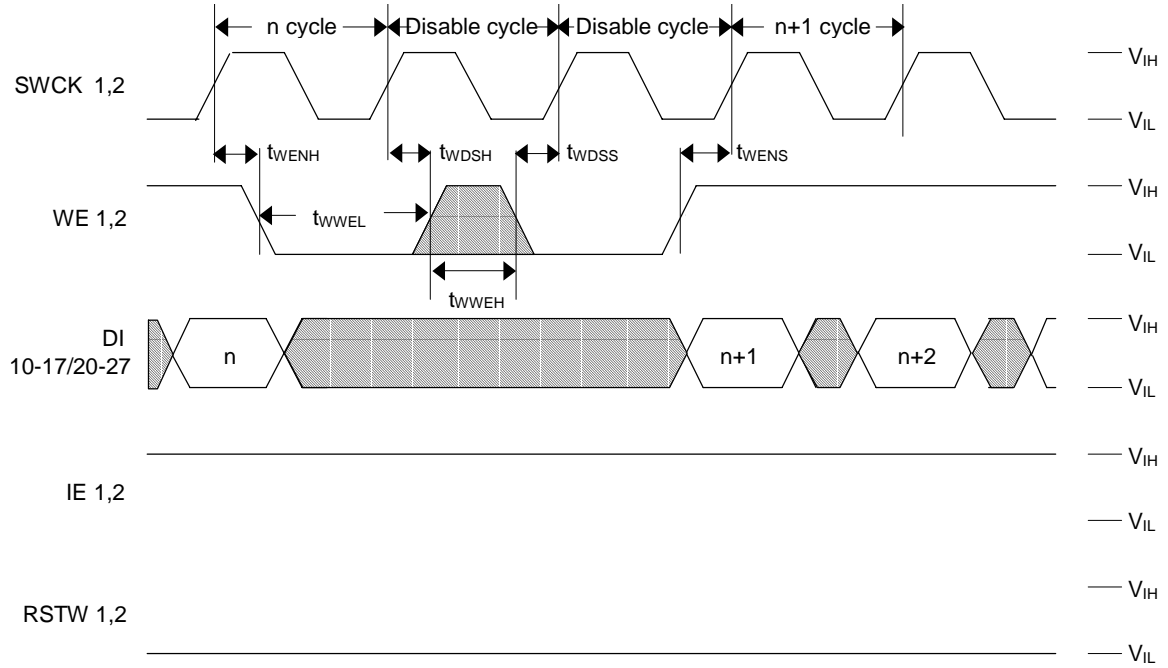
ライトサイクルタイミング (インプットイネ - プル : MODE1=V_{CC})



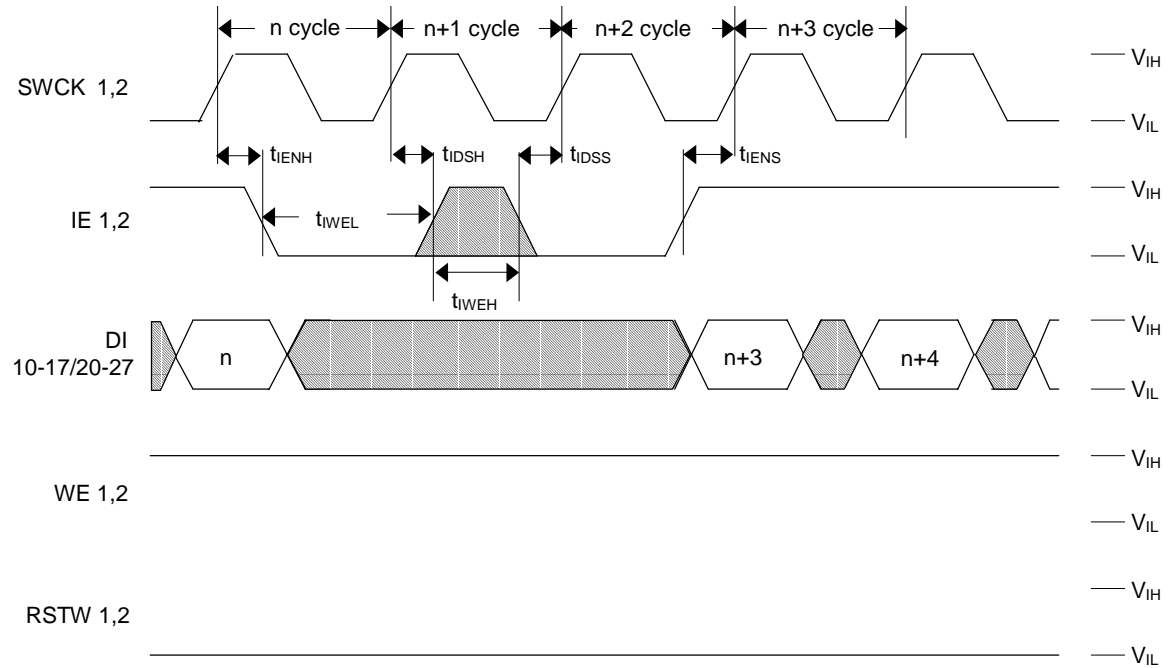
ライトサイクルタイミング (ライトリセット : MODE1=V_{SS})



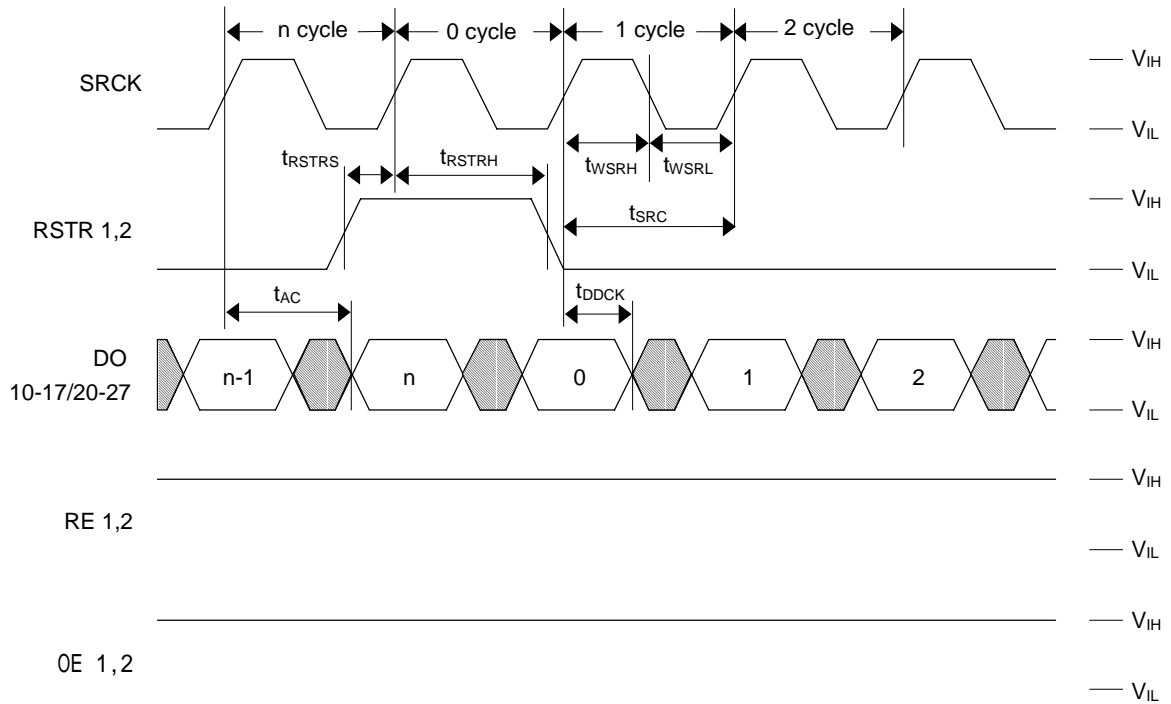
ライトサイクルタイミング (ライトイネ - ブル : MODE1=V_{SS})



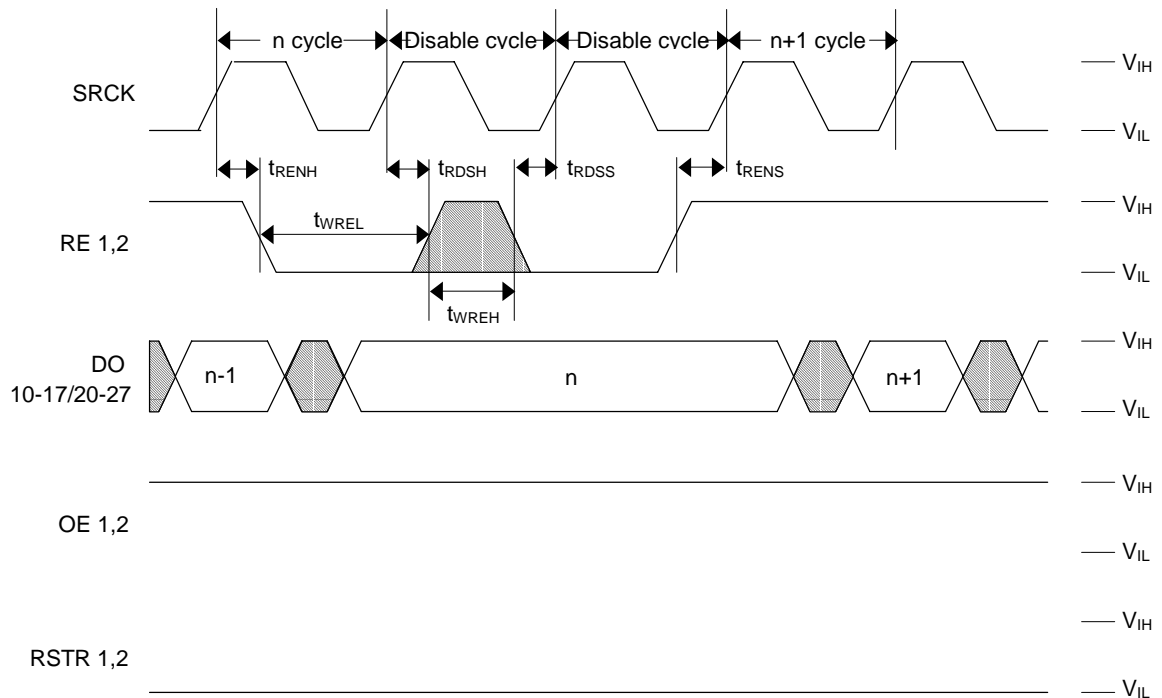
ライトサイクルタイミング (インプットイネ - ブル : MODE1=V_{SS})



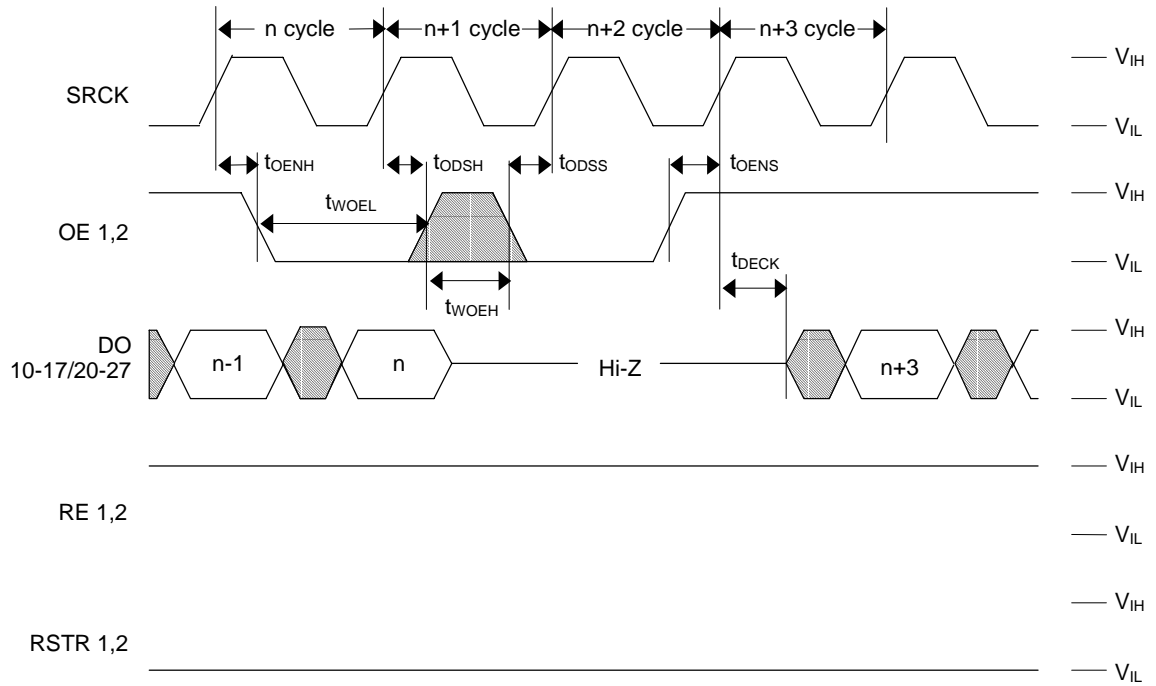
リ - ドサイクルタイミング (リ - ドリセット : $MODE1=V_{CC}/V_{SS}$)



リ - ドサイクルタイミング (リ - ドイネ - ブル : $MODE1=V_{CC}/V_{SS}$)

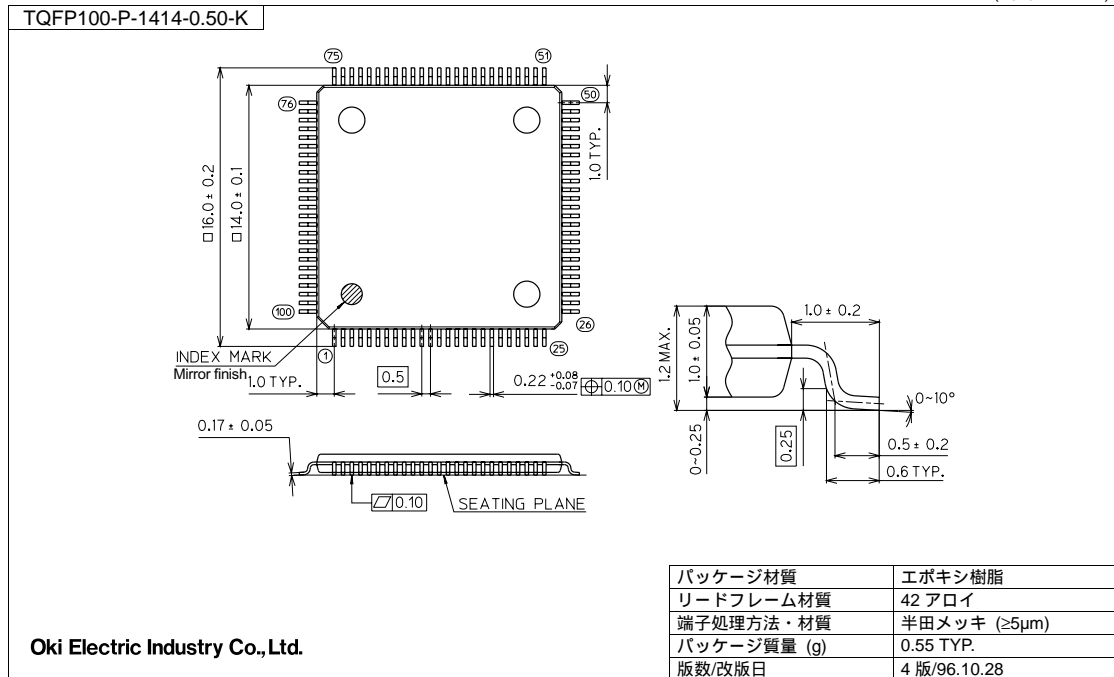


リ - ドサイクルタイミング (アウトプットイネ - ブル : $MODE1=V_{CC}/V_{SS}$)



パッケージ寸法図

(単位: mm)



表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ(PLCC)、SHP、BGA 等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。

改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDS81V04166A-01	2002.8.23	-	-	初版発行
FJDS81V04166A-02	2002.9.6	2	2	表から MODE2 を削除 (誤記訂正)
		9	9	本文から MODE2 記述を削除 (誤記訂正)
		10	9	本文から MODE2 記述を削除 (誤記訂正)
		8	8	交流特性測定条件を追加

ご注意

1. 本書に記載された内容は、製品改善及び技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、その情報が最新のものであることをご確認ください。
2. 本書に記載された動作概要及び応用回路例は、本製品の標準的な動作や使い方を説明するためのものです。したがって、実際に本製品を使用される場合には、外部諸条件を考慮のうえ回路・実装設計をしてください。
3. **設計に際しましては、最大定格、動作電源電圧範囲、放熱特性など保証範囲内でお使いください。保証値を超えての使用など本製品の誤った使用または不適切な使用等に起因する本製品の具体的な運用結果につきましては、当社は責任を負いかねますのでご了承ください。**
4. 本製品及び本書に記載された情報や図面等の使用に関して、当社は、第三者の工業所有権・知的所有権及びその他の権利に対する保証または実施権の許諾を行うものではありません。したがって、その使用に起因する第三者の権利侵害に対し、当社は責任を負いかねますのでご了承ください。
5. 当社は品質、信頼性の向上に努めておりますが、部品の性格上、ある確率の欠陥、故障が不可避だと考えられます。当社製品をお使いの場合には、このような故障が生じても直接人命を脅かしたり、身体または財産に危害を生じさせないよう、装置やシステム上で十分な安全設計をお願いします。
6. 本書記載の製品は、一般電子機器(事務機器、通信機器、計測機器、家電製品など)に使用されることを意図しております。特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、身体または財産に危害を及ぼす恐れのある装置やシステム(交通機器、安全装置、航空・宇宙機器、原子力制御、生命維持装置を含む医療機器など)に使用をお考えのお客様は、必ず事前に当社販売窓口までご相談願います。
7. 本書に記載された製品には、「外国為替及び外国貿易管理法」に基づく戦略物資等に該当するものがあります。したがって、該当製品またはその一部を輸出する場合には、同法に基づく日本国政府の輸出許可が必要となりますので、その申請手続きをお取りください。
8. 本書に記載された内容を、当社に無断で転載または複製することはご遠慮ください。

Copyright 2002 OKI ELECTRIC INDUSTRY CO., LTD.

OKI 沖電気工業株式会社

お問い合わせ先

本社別館	〒108-8551	東京都港区芝浦4丁目10番3号(本社別館) シリコンソリューションカンパニー 販売本部	東京	(03)5445-6027 (直通) FAX (03)5445-6058
				http://www.oki.com/semi/japanese/
東北支社	〒980-0811	仙台市青葉区一番町3丁目1番1号(仙台富士ビル)	仙台	(022)225-6605(代)
松本支店	〒390-0815	松本市深志2丁目5番2号(県信松本深志ビル)	松本	(0263)36-7951(代)
中部支社	〒460-0003	名古屋市中区錦1丁目11番20号(大永ビル)	名古屋	(052)201-7008(代)
北陸支社	〒920-0981	金沢市片町1丁目5番20号(金沢福井ビル)	金沢	(0762)22-2600(代)
関西支社	〒541-0042	大阪市中央区今橋4丁目2番1号(大阪富士ビル)	大阪	(06)6226-1325(代)
中国支社	〒730-0013	広島市中区八丁堀15番10号(セントラルビル)	広島	(082)221-2209(代)
九州支社	〒810-0001	福岡市中央区天神2丁目13番7号(長銀ビル)	福岡	(092)771-9116(代)