

MSM7716

シングルレイルリニアコーデック

概要

MSM7716 は、音声帯域の信号を AD/DA 変換するためのフィルタを内蔵した CMOS による 1 チャンネル・リニア・コーデック LSI です。

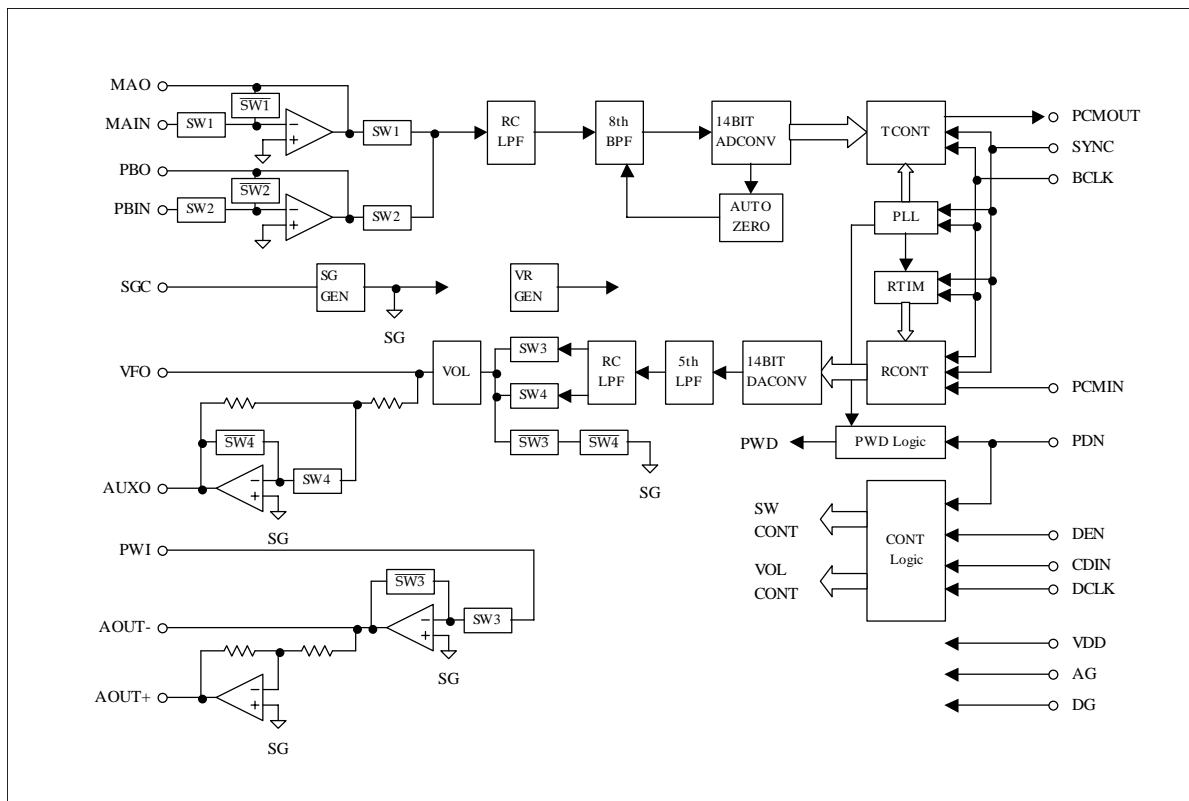
本 LSI は、単一電源動作、低消費電力動作ができるように開発したもので、特にデジタル無線システム、オーディオ信号処理 DSP 等の、アナログインタフェース用に最適です。

アナログ出力は、セラミックタイプのハンドセットの受話器を直接駆動でき、外部制御による出力レベル設定ができます。

特長

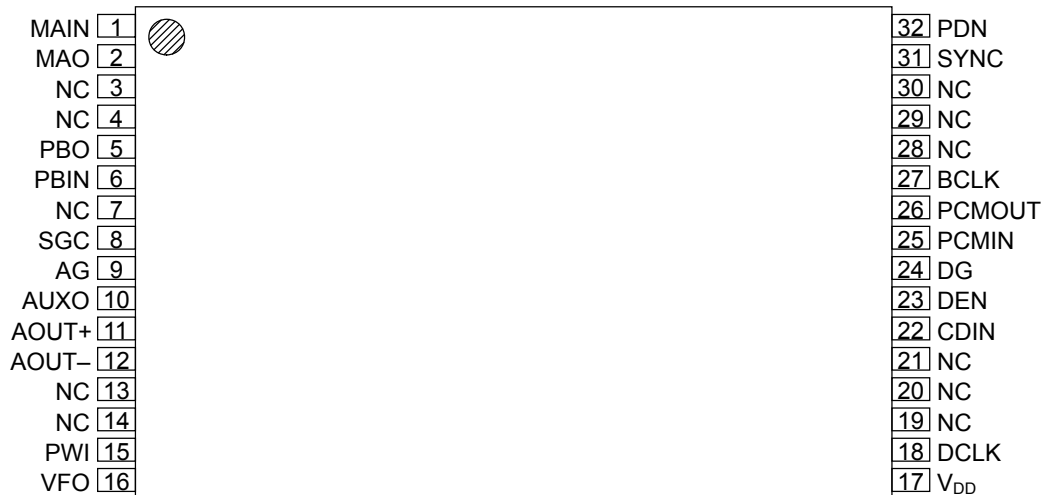
- 単一 2.7 ~ 3.6 V 電源動作
- 消費電力
動作時 : typ 24 mW
パワーダウン時 : typ 0.05 mW
- デジタル信号入出力インタフェース
2 コンプリメント符号形式の 14 ビットシリアル
- サンプリング周波数 (f_s) : 4 ~ 16 kHz 可変
- 伝送クロック : 最低 $f_s \times 14$ 、最高 2048 kHz
- フィルタ特性 : $f_s = 8$ kHz の時、ITU-T 勧告 G.714 準拠
- PLL を内蔵していますのでマスタクロックは不要です。
- 送信系は 2 系統の入力を持っています。
- 受信系は 2 系統の出力を持っています。
- 送信系は外付け抵抗によりゲイン調整ができます。
- 受信系は外部コントロールによるゲイン制御ができます。8 段階 4 dB ステップ
- 送信系は、最大 36 dB の利得設定ができますのでマイクアンプは不要です。
- アナログ出力は、プッシュプルで 1 k Ω の負荷を最大 4V_{pp} 駆動できます。
- 基準電圧源を内蔵しています。
- パッケージ:
32 ピン プラスチック TSOP (TSOP(1)32-P-814-0.50-1K) (MSM7716TS-K)
30 ピン プラスチック SSOP (SSOP30-P-56-0.65-K) (MSM7716GS-K)

ブロック図



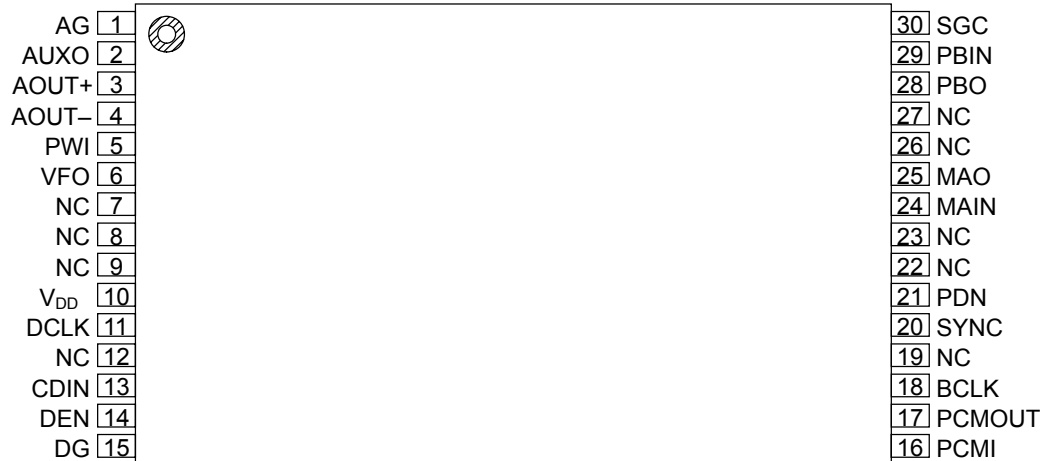
端子接続 (上面図)

32 ピンプラスチック TSOP



NC: 未使用ピン

30 ピンプラスチック SSOP



NC: 未使用ピン

端子機能説明

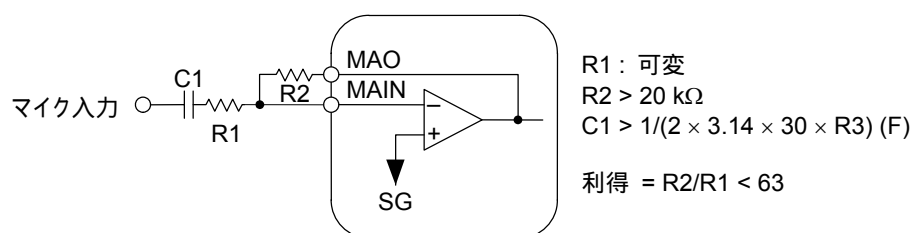
MAIN, MAO

送話マイク入力及びレベル調整用端子です。

MAIN は、オペアンプ非反転入力、MAO はオペアンプ出力に接続されています。

レベル調整は下記の方法で行ってください。

パワーセーブ、パワーダウン時、MAO 出力はハイインピーダンスになります。



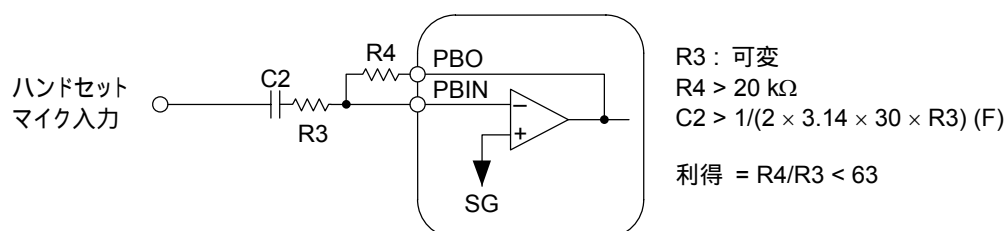
PBIN, PBO

送話ハンドセット入力及びレベル調整用端子です。

PBIN は、オペアンプ非反転入力、PBO はオペアンプ出力に接続されています。

レベル調整は下記の方法で行ってください。

パワーセーブ、パワーダウン時、PBO 出力はハイインピーダンスになります。

 V_{DD}

電源端子です。2.7 ~ 3.6 V (標準 3.0 V) で使用できます。

AG

アナログ用グランド端子です。

DG

デジタル信号回路用のグランド端子です。本 LSI の内部ではアナロググランド AG とは分離されていますがプリント基板では AG に接続してください。

VFO

受信フィルタの出力端子です。出力信号振幅は、PCMIN へ +3 dBm0 のデジタル信号を入力した時 2.0V_{PP} で、信号グランド電位を中心に振れ、20 kΩ以上の負荷を駆動できます。この出力は、外部制御により、4 dB ステップで、0 ~ -28 dB のレベル制御ができます。パワーセーブ、パワーダウン時は高抵抗で SG 電位 (V_{DD}/2) を出力します。

PWI, AOUT+, AOUT-

PWI は、受信ドライバンプの反転入力に接続され、このドライバンプの出力は AOUT- に接続されていますので、前述の VFO 端子、PWI、AOUT- 端子を使って受信レベル調整ができます。AOUT+ は AOUT- に対して利得“1”で位相が反転しています。出力信号振幅は最大 2.0V_{PP} で、これらの出力は信号グランド電位 (V_{DD}/2) を中心に振れ、プッシュプル駆動 (AOUT+, AOUT- 間に負荷接続) で最小 1 kΩの負荷を駆動できます。プッシュプル駆動時の出力振幅は最大 4V_{PP} となります。これらの出力は、外部制御により、ミュート制御ができます。

パワーセーブ時、これらの出力は動作状態です。パワーダウン時は高抵抗で SG 電位 (V_{DD}/2) を出力します。

AUXO

補助の受信フィルタ出力端子です。出力信号は VFO に対して利得“1”で反転しています。この出力は SG 電位 (V_{DD}/2) を中心に振れ、SG 電位に対して最小 0.5 kΩの負荷を駆動できます。この出力は外部制御により、ミュート制御ができます。パワーセーブ時、パワーダウン時は高抵抗で SG 電位 (V_{DD}/2) を出力します。

BCLK

PCMIN, PCMOUT 信号のシフトクロック信号入力端子です。周波数はデータ速度と同一です。この信号を、“1”又は“0”に固定することによりパワーセーブ状態になります。

SYNC

同期信号入力端子です。送信部では、PCMOUT 端子からの PCM 出力信号は、この信号に同期して出力されます。この同期信号により PLL をトリガすると共に送信部すべてのタイミング信号を同期させます。

受信部では、PCMIN 端子への直列 PCM 信号列から必要な 14 ビットを選択します。また、この同期信号により受信部のすべてのタイミング信号を同期させます。

この同期信号は BCLK と位相同期していることが必要です。この信号の周波数が 8 kHz の時、送受信系は ITU-T G.714 で規定された周波数特性となります。本データシートの周波数特性は 8 kHz の場合について規定しており、異なる周波数で使われた場合には、本データシートの周波数に関する値を下記のように読み替えてください。

この信号を、“1”又は“0”に固定することによりパワーセーブ状態になります。

$$\frac{\text{データシート記載の周波数}}{8 \text{ kHz}} \times \text{実使用周波数}$$

PCMIN

PCM 入力端子で、この端子への直列 PCM 信号入力と、それに同期した SYNC 信号、BCLK 信号により、DA 変換を行います。PCM 信号のデータ速度は BCLK 周波数と同じです。

PCM 信号は、BCLK 信号の立ち下がりでシフトされ、14 ビットシフトされた時点で内部レジスタにラッチされます。PCM データの先頭 (MSD) は SYNC の立ち上がりで識別されます。

入力信号は、14 ビットの 2 の補数形式で入力してください。MSD ビットは信号グランドを基準とした信号の極性を表しています。

PCMOUT

PCM 信号出力端子です。この PCM 出力信号は BCLK 信号の立ち上がりに同期して MSD から順に出力されます。(MSD は BCLK と SYNC のタイミングにより、SYNC の立ち上がりで出力される場合があります。図 1 参照)

この端子は、PCM 出力の 14 ビット以外の時間ではハイインピーダンスになります。また、パワーダウン、パワーセーブ期間中の出力はハイインピーダンス、もしくは、“L”固定となります。出力形態は、オープンドレインですので、プルアップ抵抗が必要です。

入出力レベル	PCMIN/PCMOUT													
	MSD													
+ フルスケール	0	1	1	1	1	1	1	1	1	1	1	1	1	1
+1	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
-フルスケール	1	0	0	0	0	0	0	0	0	0	0	0	0	0

表 1

PDN

パワーダウン制御信号入力端子です。デジタル“L”レベルで送信、受信共にパワーダウン状態になります。コントロールレジスタは初期状態になります。

電源投入時、電源電圧が 2.7 V 以上になった後、必ず本端子を 100ns 以上“L”レベルに固定し、一度コントロールレジスタの初期化を実行して下さい。

SGC

信号グランド電位作成回路用のバイパス・コンデンサ端子です。0.1 μ F の高周波特性の良いコンデンサを SGC と AG 間に入れてください。

DEN, DCLK, CDIN

マイコン・インタフェース用シリアル・コントロール・ポートです。

8 ビットのコントロール・レジスタへデータを書き込むことにより、受話系出力レベル制御、信号パスの制御ができます。DEN はイネーブル信号入力端子、DCLK はデータシフト用クロック信号入力端子、CDIN はコントロールデータ入力端子です。パワーダウン時(PDN = 0)には、表 2、3、4 に示す初期設定となり、パワーダウン解除後にコントロールデータを書き込まないかぎり、初期設定状態が保持されます。

コントロールデータ(CDIN)は DCLK 信号の立ち上がりでシフトされ、DEN 信号の立ち上がりで内部コントロールレジスタにラッチされます。書き込みタイミングは図 2 参照。

マイコン・インタフェースを使わない場合、これらの端子は DG に接続してください。

ビットマップ

B7	B6	B5	B4	B3	B2	B1	B0
SW1	SW2	SW3	SW4	—	VOL1	VOL2	VOL3

絶対最大定格

項目	記号	条件	定格値	単位
電源電圧	V _{DD}	AG = DG = 0 V	-0.3 ~ +7.0	V
アナログ入力電圧	V _{AIN}	AG = DG = 0 V	-0.3 ~ V _{DD} + 0.3	V
デジタル入力電圧	V _{DIN}	AG = DG = 0 V	-0.3 ~ V _{DD} + 0.3	V
保存温度	T _{STG}	—	-55 ~ +150	°C

推奨動作条件 (1/2)

項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧	V _{DD}	電源電圧一定	2.7	3.0	3.6	V
動作温度	T _a	—	-30	+25	+85	°C
アナログ入力電圧	V _{AIN}	利得1	—	—	1.4	V _{PP}
高レベル入力電圧	V _{IH}	SYNC, BCLK, PCMIN, DEN, CDIN, DCLK, PDN	0.45* V _{DD}	—	V _{DD}	V
低レベル入力電圧	V _{IL}	SYNC, BCLK, PCMIN, DEN, CDIN, DCLK, PDN	0	—	0.16* V _{DD}	V
クロック周波数	F _C	BCLK	14*F _S	—	128*F _S	kHz
同期信号周波数	F _S	SYNC	4.0	8.0	16	kHz
クロックデューティサイクル	D _C	BCLK	40	50	60	%
デジタル入力立ち上がり時間	t _{ir}	SYNC, BCLK, PCMIN, DEN, CDIN, DCLK, PDN	—	—	50	ns
デジタル入力立ち下がり時間	t _{if}	SYNC, BCLK, PCMIN, DEN, CDIN, DCLK, PDN	—	—	50	ns
同期タイミング	t _{RS} , t _{XS}	BCLK → SYNC 図1参照	100	—	—	ns
	t _{SR} , t _{SX}	SYNC → BCLK 図1参照	100	—	—	ns
高レベル同期信号幅 注)	t _{WSH}	SYNC 図1参照	1 BCLK	—	—	
低レベル同期信号幅 注)	t _{WSL}	SYNC 図1参照	1 BCLK	—	—	
PCMIN セットアップ時間	t _{DS}	図1参照	100	—	—	ns
PCMIN ホールド時間	t _{DH}	図1参照	100	—	—	ns
デジタル出力負荷	R _{DL}	プルアップ抵抗	0.5	—	—	kΩ
	C _{DL}	—	—	—	100	pF
DCLK 幅	t _{WCL}	DCLK LOW 幅 図2参照	50	—	—	ns
	t _{WCH}	DCLK HIGH 幅 図2参照	50	—	—	
DEN タイミング1	t _{CDL}	DCLK → DEN 図2参照	50	—	—	ns
	t _{DCL}	DEN → DCLK 図2参照	50	—	—	
DEN タイミング2	t _{CDH}	DCLK → DEN 図2参照	50	—	—	ns
	t _{DCH}	DEN → DCLK 図2参照	50	—	—	

注記: 例として、BCLK の周波数が 2048 kHz の時、SYNC の最小パルス幅は 488 ns。

推奨動作条件 (2/2)

項目	記号	条件	Min.	Typ.	Max.	単位
CDIN セットアップ時間	t_{CDs}	図 2 参照	50	—	—	ns
CDIN ホールド時間	t_{CDH}	図 2 参照	50	—	—	
アナログ入力許容オフセット電圧	V_{off}	送信ゲインステージ ゲイン = 0dB	-100	—	+ 100	mV
		送信ゲインステージ ゲイン = +20dB	-10	—	+ 10	mV
許容ジッタ幅	—	SYNC, BCLK	—	—	1000	ns
デジタル出力遅延時間	t_{SD}	$C_L = 50\text{pF} + 1\text{LSTTL}$ Pull-up 抵抗 = 500Ω	20	—	100	ns
	t_{xD1}		20	—	100	
	t_{xD2}		20	—	100	
	t_{xD3}		20	—	100	

電気的特性

直流及びデジタルインターフェース特性

(Fs = 8 kHz, V_{DD} = 2.7 ~ 3.6 V, Ta = -30 ~ +85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	
電源電流	I _{DD1}	動作時、無信号	V _{DD} = 3.6 V	—	10.0	17.0	mA
			V _{DD} = 3.0 V	—	8.0	13.0	
	I _{DD2}	パワーセーブ時 PDN = 1, SYNC, BCLK → OFF	—	6.0	11.0	mA	
	I _{DD3}	パワーダウン時 PDN = 0	—	0.01	0.05	mA	
高レベル入力電圧	V _{IH}	SYNC, BCLK, PCMIN, DEN, CDIN, DCLK, PDN	0.45* V _{DD}	—	V _{DD}	V	
低レベル入力電圧	V _{IL}		0.0	—	0.16* V _{DD}	V	
高レベル入力リーク	I _{IH}	—	—	—	2.0	μA	
低レベル入力リーク	I _{IL}	—	—	—	0.5	μA	
低レベルデジタル出力電圧	V _{OL}	PCMOUT pull-up 抵抗 = 500Ω	0.0	0.2	0.4	V	
デジタル出力リーク	I _O	—	—	—	10	μA	
入力容量	C _{IN}	—	—	5	—	pF	

送信アナログインターフェース

(Fs = 8 kHz, V_{DD} = 2.7 ~ 3.6 V, Ta = -30 ~ +85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
入力抵抗	R _{INX}	MAIN, PBIN	10	—	—	MΩ
出力負荷抵抗	R _{LGX}	MAO, PBO 対 SG	20	—	—	KΩ
出力負荷容量	C _{LGX}		—	—	30	pF
出力振幅	V _{OGX}		-0.7	—	+0.7	V
オフセット電圧	V _{OSGX}		(Gain = 1)	-20	—	+20

受信アナログインターフェース

(Fs = 8 kHz, V_{DD} = 2.7 ~ 3.6 V, Ta = -30 ~ +85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
出力抵抗	R _{OAO}	AUXO, AOUT-, AOUT +	—	—	10	Ω
	R _{OVO}	VFO	—	—	100	Ω
出力負荷抵抗	R _{LAO}	AUXO, AOUT-, AOUT + 対 SG 電位	0.5	—	—	kΩ
	R _{LVO}	VFO 対 SG 電位	20	—	—	kΩ
出力負荷容量	C _{LAO}	出力開放	—	—	50	pF
出力振幅	V _{OAO}	AUXO, AOUT-, AOUT + ,	-1.0	—	+1.0	V
オフセット電圧	V _{OSA}	VFO 対 SG 電位	-100	—	+100	mV

交流特性 (1/3)

(F_s = 8 kHz, V_{DD} = 2.7 ~ 3.6 V, Ta = -30 ~ +85°C)

項目	記号	周波数 (Hz)	レベル (dBm0)	条件	Min.	Typ.	Max.	単位
総合周波数特性	Loss 1	60	0	Analog to Analog	20	—	—	dB
	Loss 2	300			-0.2	—	+0.4	
	Loss 3	1020			基準値			
	Loss 4	2020			-0.2	—	+0.4	
	Loss 5	3000			-0.2	—	+0.4	
	Loss 6	3400			0	—	1.6	
送信周波数特性 (期待値)	Loss T1	60	0		20	—	—	dB
	Loss T2	300			-0.15	—	+0.2	
	Loss T3	1020			基準値			
	Loss T4	2020			-0.15	—	+0.2	
	Loss T5	3000			-0.15	—	+0.2	
	Loss T6	3400			0	—	0.8	
受信周波数特性 (期待値)	Loss R1	300	0		-0.15	—	+0.2	dB
	Loss R2	1020			基準値			
	Loss R3	2020			-0.15	—	+0.2	
	Loss R4	3000			-0.15	—	+0.2	
	Loss R5	3400			0	—	0.8	
信号対雑音信号比	SD 1	1020	3	Analog to Analog	55.9	—	—	dB
	SD 2		0		55.9	—	—	
	SD 3		-10		55.9	—	—	
	SD 4		-20	ソフトメトリック フィルタ使用	45.9	—	—	
	SD 5		-30		35.9	—	—	
	SD 6		-40		25.9	—	—	
	SD 7		-50		15.9	—	—	
送信信号対雑音信号比 (期待値)	SD T1	1020	3		58	—	—	dB
	SD T2		0		58	—	—	
	SD T3		-10		58	—	—	
	SD T4		-20	ソフトメトリック フィルタ使用	48	—	—	
	SD T5		-30		38	—	—	
	SD T6		-40		28	—	—	
	SD T7		-50		18	—	—	
受信信号対雑音信号比 (期待値)	SD R1	1020	3		58	—	—	dB
	SD R2		0		58	—	—	
	SD R3		-10		58	—	—	
	SD R4		-20	ソフトメトリック フィルタ使用	48	—	—	
	SD R5		-30		38	—	—	
	SD R6		-40		28	—	—	
	SD R7		-50		18	—	—	

(F_s = 8 kHz, V_{DD} = 2.7 ~ 3.6 V, Ta = -30 ~ +85°C)

項目	記号	周波数 (Hz)	レベル (dBm0)	条件	Min.	Typ.	Max.	単位
総合レベル間損失偏差	GT 1	1020	3	Analog to Analog	-0.4	+0.01	+0.4	dB
	GT 2		-10		基準値			
	GT 3		-40		-0.3	0.00	+0.8	
	GT 4		-50		-1.3	-0.03	+1.3	
	GT 5		-55		-1.6	-0.15	+1.6	
送信レベル間損失偏差 (期待値)	GT T1	1020	3		-0.3	+0.01	+0.3	dB
	GT T2		-10		基準値			
	GT T3		-40		-0.3	0.00	+0.3	
	GT T4		-50		-0.6	-0.03	+0.6	
	GT T5		-55		-1.2	+0.15	+1.2	
受信レベル間損失偏差 (期待値)	GT R1	1020	3		-0.3	-0.06	+0.3	dB
	GT R2		-10		基準値			
	GT R3		-40		-0.3	-0.02	+0.3	
	GT R4		-50		-0.6	-0.02	+0.6	
	GT R5		-55		-1.2	-0.27	+1.2	

交流特性 (2/3)

(F_s = 8 kHz, V_{DD} = 2.7 ~ 3.6 V, Ta = -30 ~ +85°C)

項目	記号			条件	Min.	Typ.	Max.	単位
		周波数 (Hz)	レベル (dBm0)					
総合無通話時雑音	Nidle A	—	—	AIN: 無信号 ソフオメトリック フィルタ使用	—	-70	-66	dBm0p
送信無通話時雑音 (期待値)	Nidle T	—	—		—	-71	-67	
受信無通話時雑音	Nidle R	—	—		—	-76	-74	
絶対レベル(初期値)	AV T	1020	0	V _{DD} = 3.0 V Ta = 25°C *1	0.338	0.350	0.362	Vrms
	AV R				0.483	0.500	0.518	
絶対レベル(温度、電源変動)	AV Tt			V _{DD} = +2.7 ~ 3.6 V Ta = -30 ~ 85°C	-0.2	—	+0.2	dB
	AV Rt				-0.2	—	+0.2	
絶対遅延時間	Td	1020	0	A to A BCLK = 64 kHz	—	—	0.6	ms
送信群遅延歪特性	tg _d T1	500	0	*2	—	—	0.325	ms
	tg _d T2	600 ~ 2600			—	—	0.175	
	tg _d T3	2800			—	—	0.325	
受信群遅延歪特性	tg _d R1	500 ~ 2600	0	*2	—	0.00	0.125	ms
	tg _d R2	2800			—	0.12	0.325	
漏話減衰量	CR T	1020	0	送信→受信	75	85	—	dB
	CR R			受信→送信	70	80	—	

注記: *1. AVT は MAO, PBO-PCMOUT で規定する

AVR は PCMIN-VFO で規定する

VOL = 0 dB

*2. 群遅延歪の最小値を基準値とする

交流特性 (3/3)

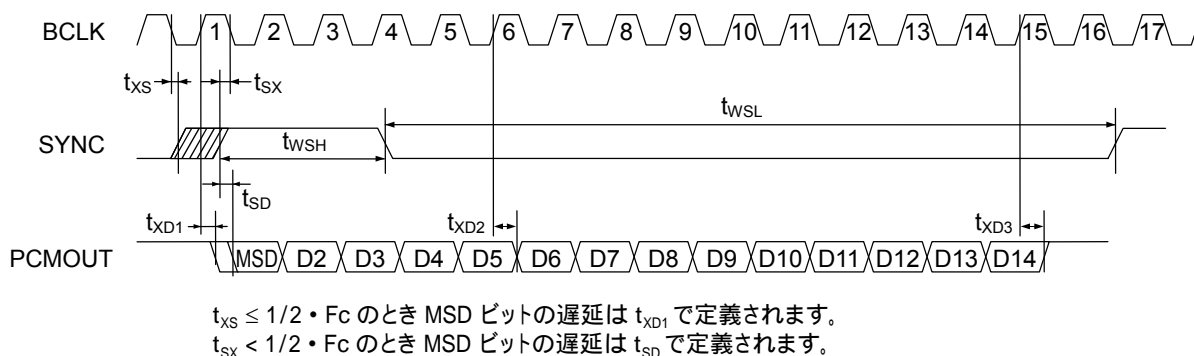
(F_S = 8 kHz, V_{DD} = 2.7 ~ 3.6 V, Ta = -30 ~ +85°C)

項目	記号			条件	Min.	Typ.	Max.	単位	
		周波数 (Hz)	レベル (dBm0)						
帯域外信号減衰量	DIS	4.6 ~ 72k	0	0 ~ 4000 Hz で測定	30	32	—	dB	
帯域外スプリアス	S	300 ~ 3400	0	4.6 ~ 100 kHz で測定	—	-37.5	-35	dBm0	
混変調歪	IMD	Fa = 470 fb = 320	-4	2fa-fb を測定	—	-52	-40	dBm0	
電源雑音除去比	PSR T	0 ~ 50k	50mV _{PP}	Inband で測定	—	30	—	dB	
	PSR R								
補助出力系利得	G _{AUX}	1020	0	VFO to AUXO	-1.0	0	+ 1.0	dB	
VOL 利得設定値	G _{V2}	1020	0	0dB 設定を基準	-4 dB 設定	-5	-4	-3	dB
	G _{V3}				-8 dB 設定	-9	-8	-7	
	G _{V4}				-12 dB 設定	-13	-12	-11	
	G _{V5}				-16 dB 設定	-17	-16	-15	
	G _{V6}				-20 dB 設定	-21	-20	-19	
	G _{V7}				-24 dB 設定	-25	-24	-23	
	G _{V8}				-28 dB 設定	-29	-28	-27	

タイミングチャート

PCM データ出力タイミング

送信タイミング



受信タイミング

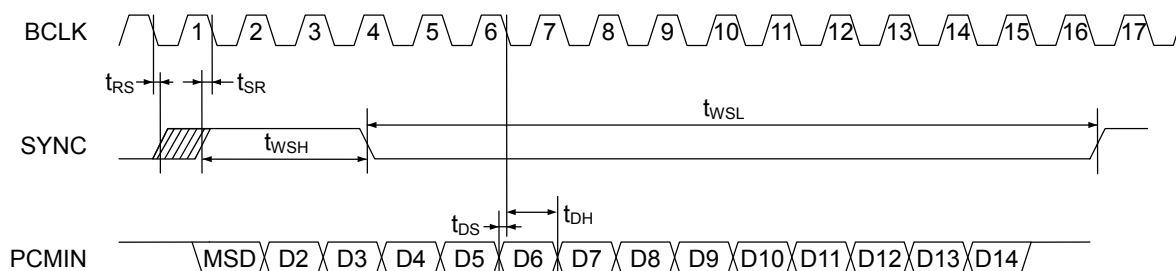


図 1 基本タイミングチャート

プロセッサインタフェースタイミング

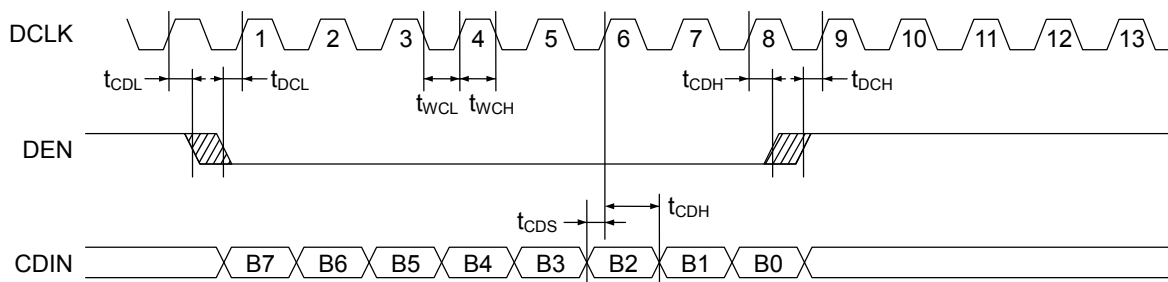


図 1 プロセッサインタフェースタイミングチャート

機能説明

コントロールデータの説明

SW1, SW2 送話系の通話路 SW 制御ビットです。表 2 に従って制御することにより、AD 変換器入力を選択できます。

State	SW2	SW1	AD 変換器入力	MAO 出力	PBO 出力	備考
T1	0	0	無信号(ミュート状態)	SG	SG	—
T2	0	1	MAIN 系の入力信号	通常出力	SG	初期設定時
T3	1	0	PBIN 系の入力信号	SG	通常出力	—
T4	1	1	MAIN と PBIN の加算信号	通常出力	通常出力	各入力系の利得は約 6 dB 下がります。

表 2

SW3, SW4 受話系の通話路 SW 制御ビットです。表 3 に従って制御してください。

状態	SW4	SW3	AOUT +, AOUT-出力	AUXO 出力	備考
R1	0	0	SG	SG	—
R2	0	1	PWI	SG	初期設定時
R3	1	0	SG	DA	—
R4	1	1	PWI	DA	—

DA: DA 変換器出力 SG: 信号グランド電位

表 3

VOL1, VOL2, VOL3 受話信号出力レベル制御ビットです。これらの制御ビットにより VFO, AUXO 各出力のレベル制御が表 4 に従ってできます。

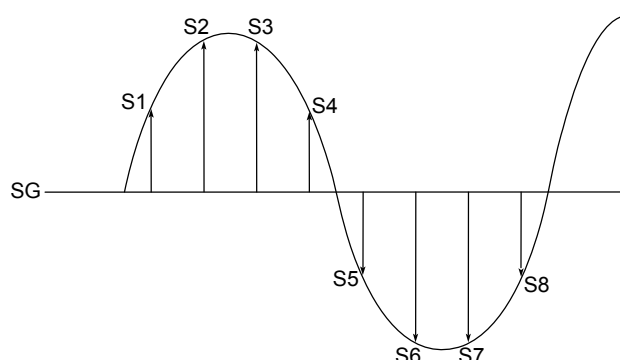
VOL1	VOL2	VOL3	受話利得	備考
0	0	0	0 dB	初期設定時
0	0	1	-4 dB	—
0	1	0	-8 dB	—
0	1	1	-12 dB	—
1	0	0	-16 dB	—
1	0	1	-20 dB	—
1	1	0	-24 dB	—
1	1	1	-28 dB	—

表 4

アプリケーション情報

0 dBm0 のデジタルパターンについて

データシート中に記載される 0 dBm0 のデジタルパターンは下記の通りです。
ただし、SYNC 周波数 8 kHz, 信号周波数 1 kHz とします。



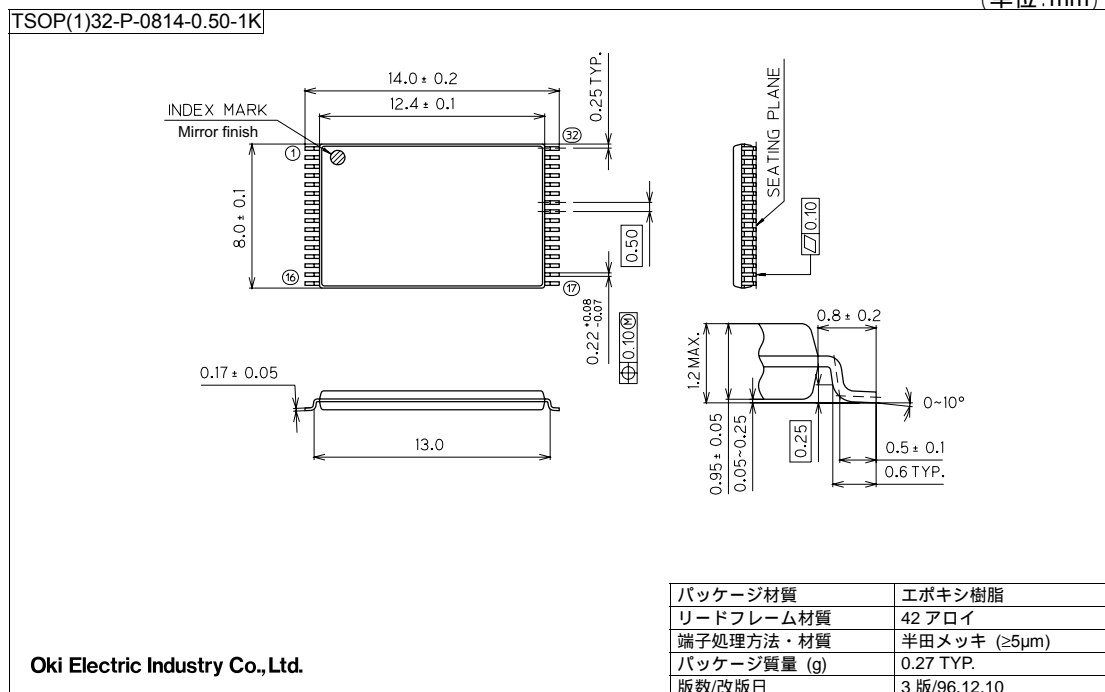
Sample No.	MSD	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14
S1	0	0	1	0	0	0	1	0	1	0	1	0	1	1
S2	0	1	0	1	0	0	1	1	1	0	1	1	1	0
S3	0	1	0	1	0	0	1	1	1	0	1	1	1	0
S4	0	0	1	0	0	0	1	0	1	0	1	0	1	1
S5	1	1	0	1	1	1	0	1	0	1	0	1	0	0
S6	1	0	1	0	1	1	0	0	0	1	0	0	0	1
S7	1	0	1	0	1	1	0	0	0	1	0	0	0	1
S8	1	1	0	1	1	1	0	1	0	1	0	1	0	0

使用上の注意

- 電氣的性能を保証するため、電源のバイパスコンデンサは高周波特性の良いコンデンサを使用し、LSI の端子近傍へ入れて下さい。
- AG 端子と DG 端子は、できる限り短く接続し、低インピーダンスでシステムグラウンドと接続して下さい。
- プリント基板に実装される時は、IC ソケットを使用せず直接基板に取付けて下さい。止むを得ず IC ソケットを使用される場合には、リードの短いソケットを使用して下さい。
- 架等への実装時、本 IC の近くに電源トランス等、電磁波を発生するものが有る場合、シールドを行って下さい。
- 電源投入時のラッチアップを防止するため、 V_{DD} 端子が -0.3 V 以下にならないようにして下さい。
- 本 IC の誤動作及び特性劣化を防止するため、雑音(特に高周波のスパイク性雑音やパルス性雑音)の小さい電源を使用して下さい。

パッケージ寸法図

(単位: mm)

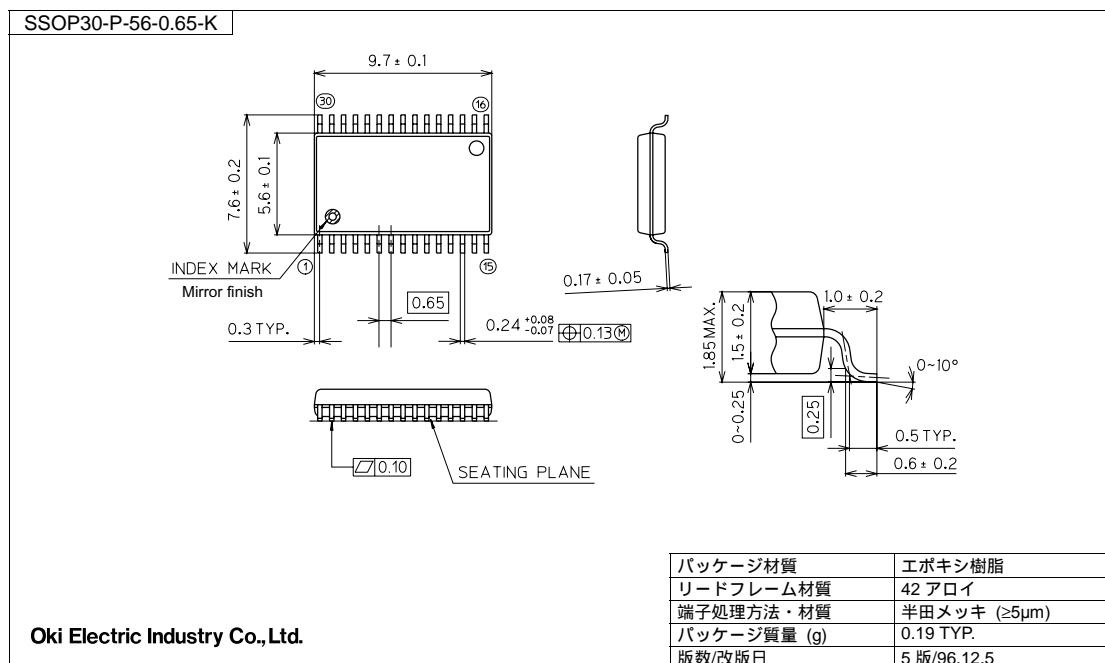


表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせ下さい。

(単位: mm)



表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせ下さい。

改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL7716-04	2003.1.7	－	－	正式 4 版発行
		2	2	SW3/4 の関係の訂正
FJDL7716-05	2003.6.5	6	6	PCMOOUT 端子説明中のパワーダウン、パワーセーブ中の出力に関する誤記訂正
		13	13	送信無通話時雑音仕様の誤記訂正
FJDL7716-06	2004.6.14	2	2	SW1/2 の関係の訂正
		17	17	表 2 に MAO、PBO の出力状態を追記

ご注意

1. 本書に記載された内容は、製品改善及び技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、その情報が最新のものであることをご確認ください。
2. 本書に記載された動作概要及び応用回路例は、本製品の標準的な動作や使い方を説明するためのものです。したがって、実際に本製品を使用される場合には、外部諸条件を考慮のうえ回路・実装設計をしてください。
3. **設計に際しましては、最大定格、動作電源電圧範囲、放熱特性など保証範囲内でお使いください。保証値を超えての使用など本製品の誤った使用または不適切な使用等に起因する本製品の具体的な運用結果につきましては、当社は責任を負いかねますのでご了承ください。**
4. 本製品及び本書に記載された情報や図面等の使用に関して、当社は、第三者の工業所有権・知的所有権及びその他の権利に対する保証または実施権の許諾を行うものではありません。したがって、その使用に起因する第三者の権利侵害に対し、当社は責任を負いかねますのでご了承ください。
5. 当社は品質、信頼性の向上に努めておりますが、部品の性格上、ある確率の欠陥、故障が不可避だと考えられます。当社製品をお使いの場合には、この様な故障が生じても直接人命を脅かしたり、身体または財産に危害を生じさせないよう、装置やシステム上で十分な安全設計をお願いします。
6. 本書記載の製品は、一般電子機器(事務機器、通信機器、計測機器、家電製品など)に使用されることを意図しております。特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、身体または財産に危害を及ぼす恐れのある装置やシステム(交通機器、安全装置、航空・宇宙機器、原子力制御、生命維持装置を含む医療機器など)に使用をお考えのお客様は、必ず事前に当社販売窓口までご相談願います。
7. 本書に記載された製品には、「外国為替及び外国貿易管理法」に基づく戦略物資等に該当するものがあります。したがって、該当製品またはその一部を輸出する場合には、同法に基づく日本国政府の輸出許可が必要となりますので、その申請手続きをお取りください。
8. 本書に記載された内容を、当社に無断で転載または複製することはご遠慮ください。

Copyright 2003 OKI ELECTRIC INDUSTRY CO., LTD.

OKI 沖電気工業株式会社

お問い合わせ先

本社別館	〒108-8551	東京都港区芝浦4丁目10番3号(本社別館) シリコンソリューションカンパニー 販売本部	東京 (03)5445-6027 (直通) FAX (03)5445-6058 http://www.okisemi.com/jp/
松本支店	〒390-0815	松本市深志2丁目5番2号(県信松本深志ビル)	松本 (0263)36-7951(代)
中部支社	〒460-0003	名古屋市中区錦1丁目11番20号(大永ビル)	名古屋 (052)201-7008(代)
関西支社	〒541-0042	大阪市中央区今橋4丁目2番1号(大阪富士ビル)	大阪 (06)6226-1325(代)
中国支社	〒730-0013	広島市中区八丁堀15番10号(セントラルビル)	広島 (082)221-2209(代)
九州支社	〒810-0001	福岡市中央区天神2丁目13番7号(長銀ビル)	福岡 (092)771-9116(代)