

MSM7582B $\pi/4$ シフト QPSK モデム**■ 概要**

MSM7582Bは、デジタル・コードレス電話用に開発された $\pi/4$ シフトQPSK変復調LSIです。本LSIは移動局（PS）及び基地局（CS）用両者に適用可能に設計されており、日本の第2世代コードレス電話システムに最適なLSIです。

■ 特長

- 単一3V電源動作（ V_{DD} ：2.7V～3.6V）

（変調部）

- デジタル・フィルタによるベースバンド帯域制限用ルートナイキストフィルタ（ローオフ率 $\alpha = 0.5$ ）内蔵
- バースト立上がりランプビット 2シンボル
バースト立下がりランプビット 2シンボル
- 直交信号成分I, Qアナログ出力及び $\sqrt{I^2+Q^2}$ エンベロープ出力用のD/Aコンバータ内蔵
- 差動I, Qアナログ出力形式
- I, Q出力DCオフセット調整、ゲイン調整付

（復調部）

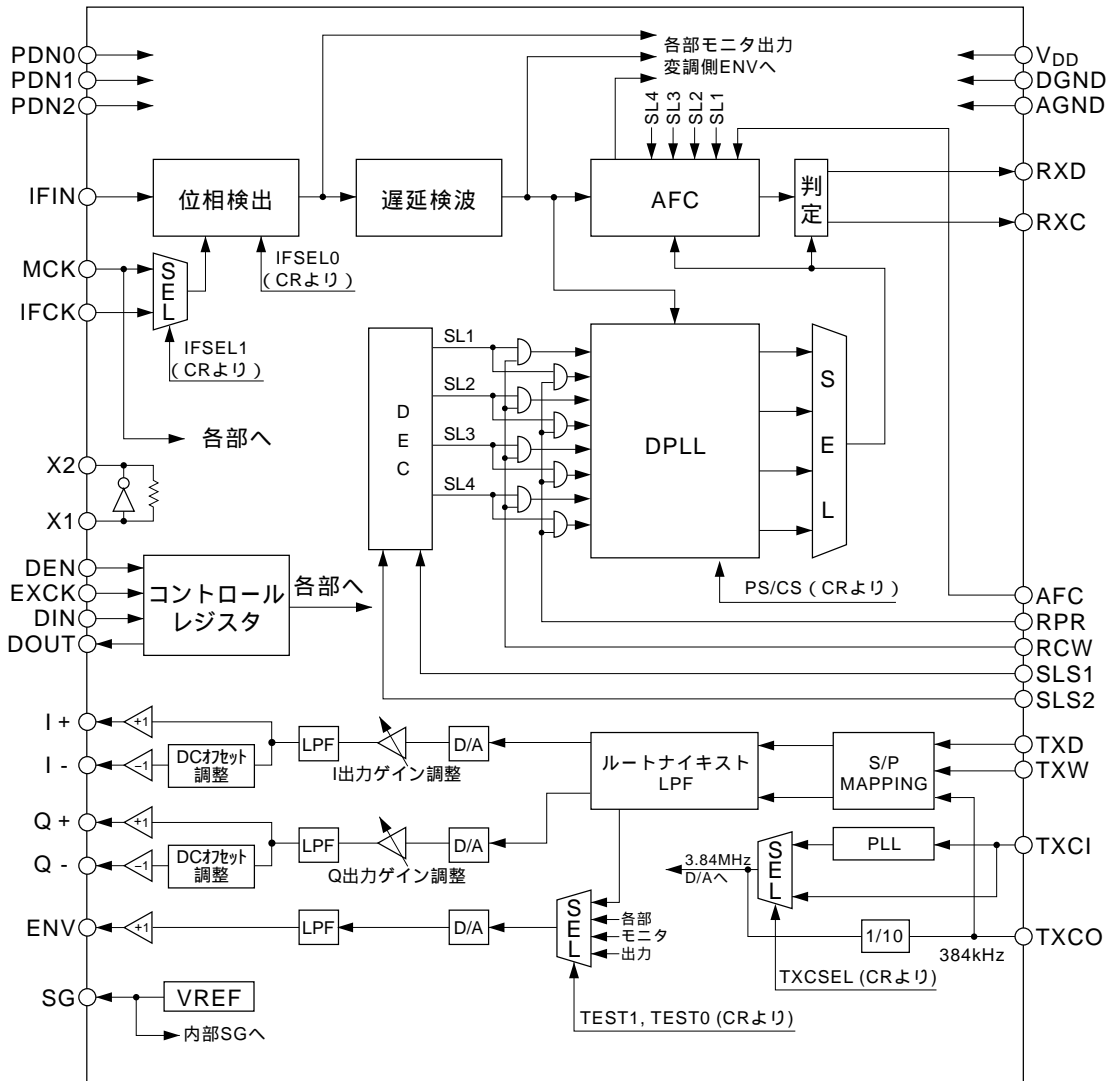
- 全デジタル化による $\pi/4$ シフトQPSK復調方式
- 入力IF信号周波数 1.2MHz/10.7MHz/10.75MHz/10.8MHz適用可能
- クロック再生回路4系統内蔵（基地局用にも適用可能）

- 送受独立パワーダウン制御可能
- アナログ基準電圧源内蔵
- シリアル・インタフェースを用いたモード設定及びテスト回路内蔵
- テストモード時、受信部位相検波出力、アイ・パターン、AFC補正信号等モニタ可能
- 伝送速度 384kbps
- 低消費電力 変調部動作時 : typ. 15mA（ $V_{DD} = 3.0V$ 時）
復調部動作時 : typ. 9mA（ $V_{DD} = 3.0V$ 時）
全体パワーダウン時 : typ. 0.01mA（ $V_{DD} = 3.0V$ 時）

● パッケージ：

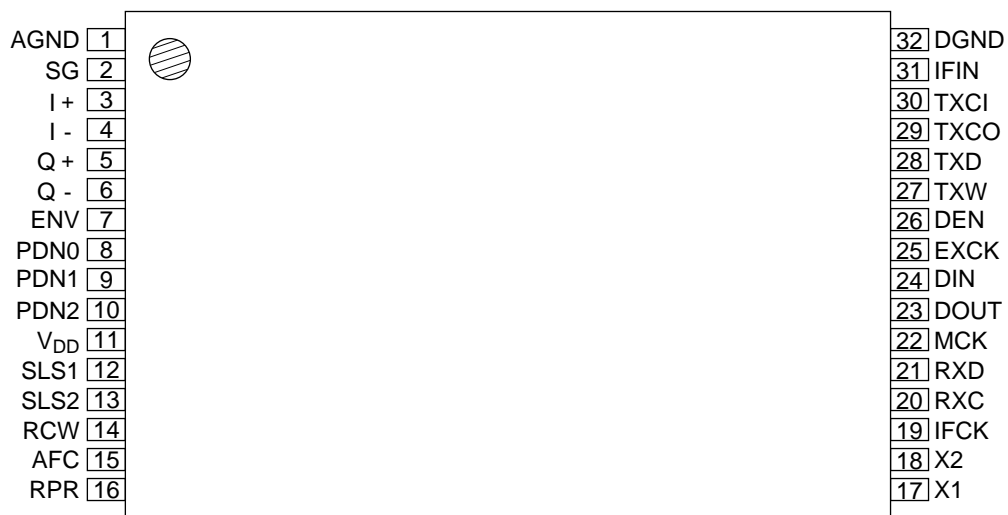
32ピンプラスチックTSOP（TSOP(1)32-P-0814-0.50-1K）（製品名：MSM7582BTS-K）

■ ブロック図



■ 端子接続（上面図）

32ピンプラスチックTSOP



■ 端子機能説明

● TXD

384kbps送信データ入力端子です。

● TXCI

送信クロック入力端子です。コントロール・レジスタCR0 - B6が"0"の時、この端子にはTXDに同期した384kHzのクロックを入力して下さい。この時本LSIでは内部の動作クロックを生成するためにAPLLを用いている関係上このクロックは連続信号である必要があります。

また、CR0 - B6が"1"の時、この端子には3.84MHzのクロックを入力して下さい。この時TXCOにはTXCIを1/10分周した384kHzのクロックが出力されますので、TXDにはこの384kHzに同期して送信データを入力して下さい。この場合にはAPLLを用いませので3.84MHzは連続である必要はありません。(図1参照)

● TXCO

送信クロック出力端子です。CR0 - B6が"0"の時APLL出力の384kHzクロック信号がモニタとして出力されます。また、CR0 - B6が"1"の時TXCIの1/10分周の384kHzのクロックが出力されます。

(図1参照)

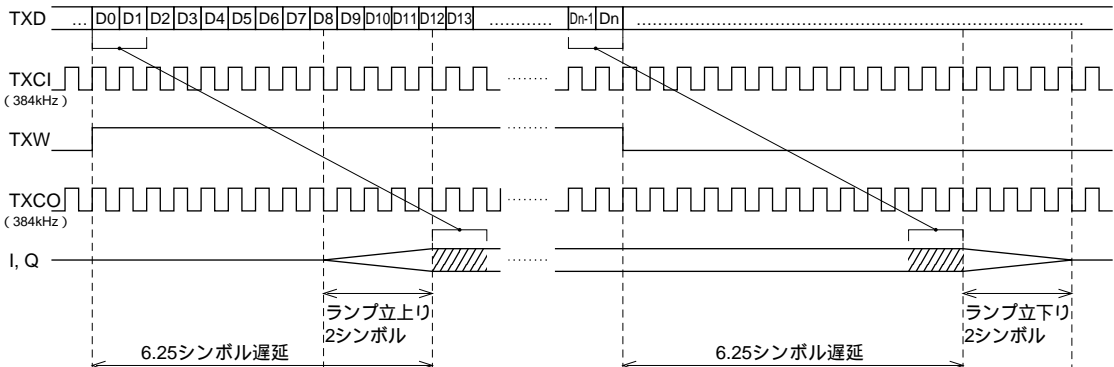
なお、CR0 - B6 = "0"、CR5 - B7 = "1"の時には、本端子にはバースト位置出力が現れます。

● TXW

送信データウィンドウ入力端子です。この端子によりバースト・データの送信タイミングを与えます。この端子が"1"の時変調データ出力が行われます。(図1参照)

MSM7582B

(1) CR0 - B6 = 0の時



(2) CR0 - B6 = 1の時

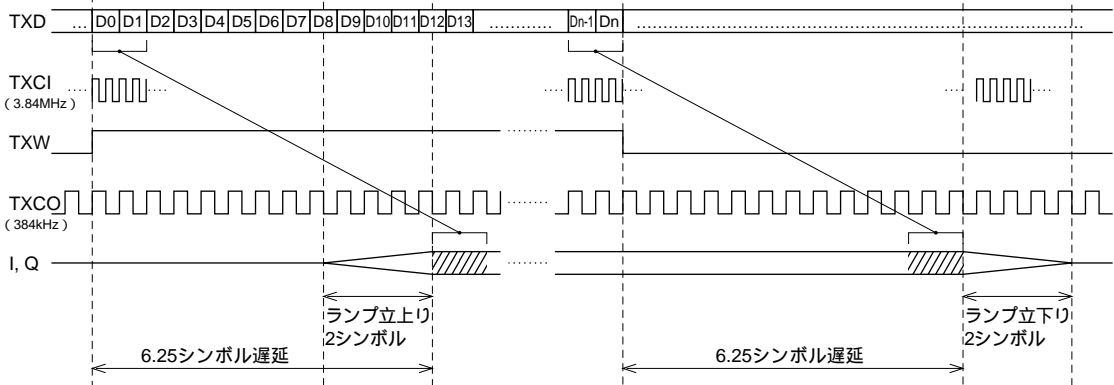


図1 M7582B送信側タイミングチャート

● I+, I-

変調直交信号I成分差動アナログ出力端子です。出力レベルは1.6Vdcを中心値に500mVppで、端子出力負荷条件は、R 10kΩ、C 20pFです。また、コントロール・レジスタCR1 - B7 ~ B4によりこれらの端子のゲイン調整、及びCR3 - B7 ~ B3によりI - 端子のオフセット電圧調整が可能です。

● Q+, Q-

変調直交信号Q成分差動アナログ出力端子です。出力レベルは1.6Vdcを中心値に500mVppで、端子出力負荷条件は、R 10kΩ、C 20pFです。また、コントロール・レジスタCR1 - B3 ~ B0によりこれらの端子のゲイン調整、及びCR4 - B7 ~ B3によりQ - 端子のオフセット電圧調整が可能です。

● ENV

変調直交信号のエンベロープ ($\sqrt{I^2 + Q^2}$ 包絡線) 出力端子です。出力レベルは1.6Vdcを中心値に500mVppで、端子出力負荷条件は、R 10kΩ、C 20pFです。また、コントロール・レジスタCR2 - B7 ~ B4によりこれらの端子のゲイン調整が可能です。また、この端子はテスト・モード時、復調側の各部内部信号をモニタする時にも使用されます。詳細はコントロール・レジスタの説明を参照して下さい。

● SG

内部基準電圧出力端子です。出力電圧値は約2.0Vで、AGND端子との間にバイパスコンデンサを入れて下さい。

SG電位を外部で使用する場合は、バッファを介して使用して下さい。

● PDN0、PDN1、PDN2

各種パワーダウン制御端子です。基本的にPDN0は待機モード／通信モードの制御、PDN1は変調部の制御、PDN2は復調部の制御です。詳細は表1をご覧ください。

なお、コントロールレジスタのリセットは200ns以上の幅で入力して下さい。

又、電源投入時には、電源電圧が2.7V以上になった後、必ず200ns以上、モードAに固定し、一度コントロールレジスタの初期化を実行して下さい。

	PDN0	PDN2	PDN1	動作状態	モード名
待機モード	0	0/1	1	全体パワーダウン。コントロール・レジスタはリセットされる。	モードA
	0	0	0	全体パワーダウン。コントロール・レジスタはリセットされない。	モードB
	0	1	0	変調部パワーオフ（VREF、PLLもパワーオフ）。復調部パワーオン。	モードC
通信モード	1	0	0	変調部パワーオフ（VREF、PLLはパワーオン）。I、Q出力はハイ・インピーダンス状態。復調部クロック再生部のみパワーオン。	モードD
	1	0	1	変調部パワーオン。復調部クロック再生部のみパワーオン。	モードE
	1	1	0	変調部パワーオフ（VREF、PLLはパワーオン）。I、Q出力はハイ・インピーダンス状態。復調部パワーオン。	モードF
	1	1	1	変調部パワーオン。復調部パワーオン。	モードG

表1 パワーダウン制御内容

● V_{DD}

+3V電源端子です。

● AGND

アナログ信号用グランド端子です。

● DGND

デジタル信号用グランド端子です。AGNDとDGNDは基板上では最短距離で接続して下さい。

● MCK

マスタクロック入力端子です。周波数は19.2MHzです。

● IFIN

復調部変調波入力端子です。IF周波数は1.2MHz/10.7MHz/10.75MHz/10.8MHzの4通りが選択可能です。その選択はCR0 - B4、B3で行います。

● IFCK

復調部10.7MHz/10.75MHz IF周波数用クロック入力端子です。IF周波数が10.7MHzの時は19.0222MHzを、10.75MHzの時は19.1111MHzを入力して下さい。また、IF周波数が1.2MHz及び10.8MHzの場合この端子を"0"か"1"に固定して下さい。（図2参照）

● X1、X2

水晶発振子接続端子です。19.0222MHz又は、19.1111MHzクロックをIFCKに用いる場合、この端子を利用して下さい。（図2参照）

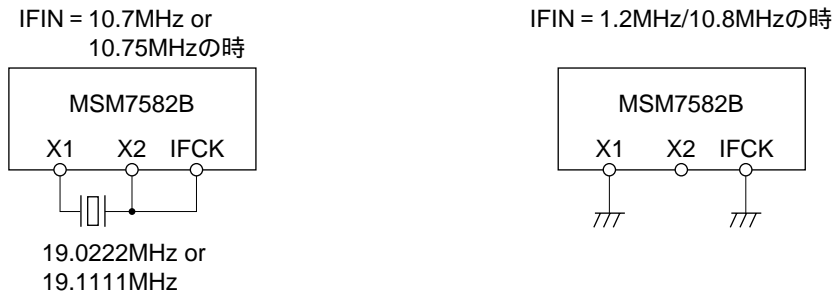


図2 IFCK、X1、X2の使用方法

● RXD、RXC

受信データ及び受信クロック出力端子です。パワーオン時これらの端子出力には、後述のSLS1、SLS2で選ばれるクロック再生回路が用いられた出力が現れます。（図3参照）

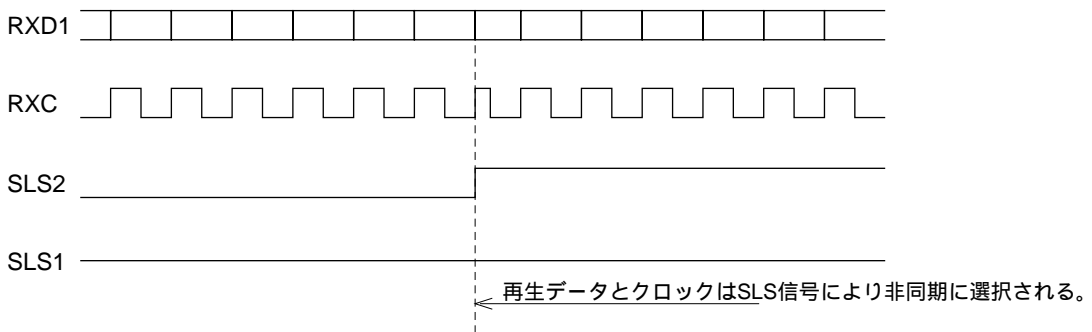


図3 RXD、RXCタイミングチャート

● SLS2、SLS1

受信側動作スロット選択信号です。本LSIには各チャンネルにクロック再生回路が4回路、AFC情報記憶レジスタが4回路入っており、これらの信号により4回路中の1回路が選択使用されます。

（図3参照）

(SLS2、SLS1) = (0,0) : スロット1 (0,1) スロット2
(1,0) : スロット3 (1,1) スロット4

● RPR

クロック再生回路高速引き込み制御信号入力端子です。この端子が"1"の時クロック再生回路は高速引き込みモードからスタートし、ある位相差内に入ると自動的に低速引き込みモードに変わります。また、"0"の時は常に低速引き込みモードです。

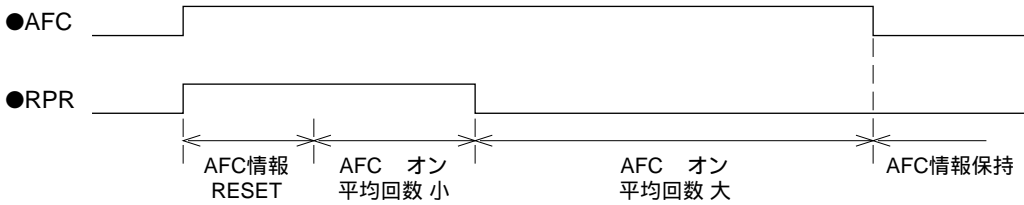
● AFC

AFC動作範囲指定信号入力端子です。図4の様にAFC情報はAFC及びRPRが"1"になった時リセットされ、一定時間経過後AFC動作が開始されます。AFC平均回数はRPRが"1"の時小さく、RPRが"0"の時大きくなります。また、AFCが"0"時には周波数誤差の算出はしませんが、保持している誤差値を用い補正を行います。

● RCW

クロック再生回路動作ON/OFF制御信号入力端子です。この端子が"0"の時DPLLは位相修正を行いません。

(CASE1)



(CASE2)

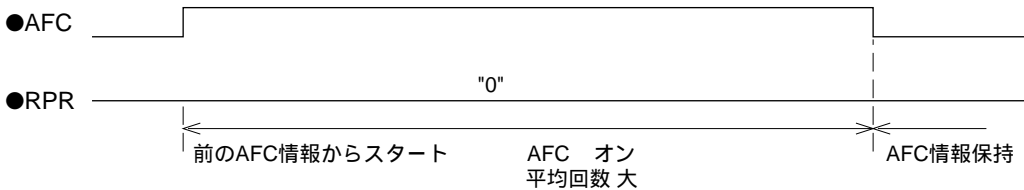
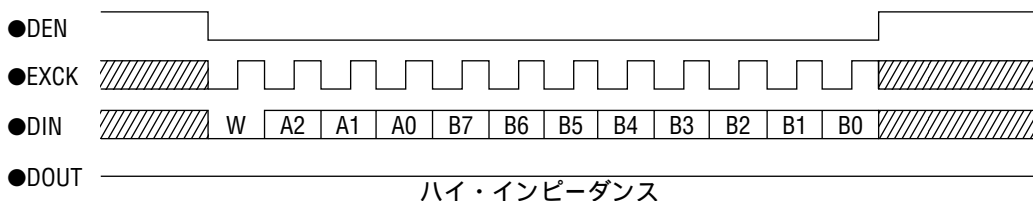


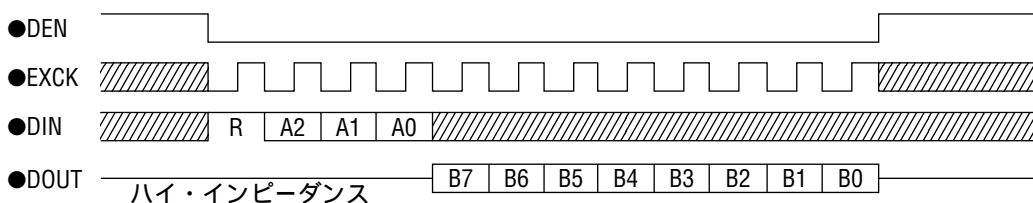
図4 AFC制御タイミングチャート

●DEN、EXCK、DIN、DOUT

マイコン・インタフェース用シリアル・コントロール・ポートです。本LSI内部には6バイトのコントロール・レジスタが用意されており、外部のCPUよりこれらの端子を用いてデータのライト/リードを行います。DENはイネーブル信号入力端子、EXCKはデータシフト用クロック信号入力端子、DINはアドレス及びデータ入力端子、DOUTはデータ出力端子です。入出力タイミングを図5に示します。



(a) データ書き込み時 タイミングチャート



(b) データ読み出し時 タイミングチャート

図5 MCUインタフェース入出力タイミング

またレジスタ・マップは以下のとおりです。

レジスタ名	アドレス			データ内容								R/W
	A2	A1	A0	B7	B6	B5	B4	B3	B2	B1	B0	
CR0	0	0	0	PS/CS	TXCSEL	MODOFF	IFSEL1	IFSEL0	ENVSEL	TEST1	TEST0	R/W
CR1	0	0	1	Ich GAIN3	Ich GAIN2	Ich GAIN1	Ich GAIN0	Qch GAIN3	Qch GAIN2	Qch GAIN1	Qch GAIN0	R/W
CR2	0	1	0	ENV GAIN3	ENV GAIN2	ENV GAIN1	ENV GAIN0					R/W
CR3	0	1	1	Ich Offset4	Ich Offset3	Ich Offset2	Ich Offset1	Ich Offset0				R/W
CR4	1	0	0	Qch Offset4	Qch Offset3	Qch Offset2	Qch Offset1	Qch Offset0				R/W
CR5	1	0	1	BSTO ENBL	ICT6	ICT5	ICT4	LOCAL INV1	LOCAL INV0	CLK SEL1	CLK SEL0	R/W

R/W...書き込み / 読み出し可能 R...読み出し専用レジスタ

表2 コントロール・レジスタマップ

■ 絶対最大定格

項目	記号	条件	定格値	単位
電源電圧	V _{DD}		0 ~ 5	V
デジタル入力電圧	V _{DIN}		- 0.3 ~ V _{DD} + 0.3	V
保存温度	T _{stg}		- 55 ~ + 150	

■ 推奨動作条件

(V_{DD} = 2.7V ~ 3.6V, Ta = - 25 ~ + 70)

項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧	V _{DD}		2.7		3.6	V
動作温度	Ta		- 25	+ 25	+ 70	
高レベル入力電圧	V _{IH}	全デジタル入力端子	0.45*V _{DD}		V _{DD}	V
低レベル入力電圧	V _{IL}	全デジタル入力端子	0		0.16*V _{DD}	V
マスタクロック周波数	F _{MCK}	MCK		19.2		MHz
変調側入力周波数	F _{TXC1}	TXCI(CR0 - B6 = '0'の時)		384		kHz
	F _{TXC2}	TXCI(CR0 - B6 = '1'の時)		3.84		MHz
復調側入力周波数	F _{IFCK1}	IFCK(IFIN10.7MHzの時)	- 50ppm	19.0222	+ 50ppm	MHz
	F _{IFCK2}	IFCK(IFIN10.75MHzの時)	- 50ppm	19.1111	+ 50ppm	MHz
クロック・デューティサイクル	D _{CCK}	MCK, IFCK, TXCI	40	50	60	%
IF入力・デューティサイクル	D _{CIF}	IFIN	45	50	55	%

■ 電気的特性

● 直流特性

(V_{DD} = 2.7V ~ 3.6V, Ta = - 25 ~ + 70)

項目	記号	条件	Min.	Typ.	Max.	単位
電源電流	I _{DD1}	モードA、モードB (V _{DD} = 3.0V時)		0.02	0.05	mA
	I _{DD2}	モードC (V _{DD} = 3.0V時)		5.5	11.0	mA
	I _{DD3}	モードD (V _{DD} = 3.0V時)		5.5	11.0	mA
	I _{DD4}	モードE (V _{DD} = 3.0V時)		11.5	23.0	mA
	I _{DD5}	モードF (V _{DD} = 3.0V時)		9.5	19.0	mA
	I _{DD6}	モードG (V _{DD} = 3.0V時)		14.0	28.0	mA
高レベル出力電圧	V _{OH}	I _{OH} = 0.4mA	0.5*V _{DD}		V _{DD}	V
低レベル出力電圧	V _{OL}	I _{OL} = - 1.2mA	0.0		0.4	V
入力リーク電流	I _{IH}				10	μA
	I _{IL}				10	μA

●アナログインタフェース特性

($V_{DD} = 2.7V \sim 3.6V$, $T_a = -25 \sim +70$)

項目	記号	条件	Min.	Typ.	Max.	単位
出力抵抗負荷	R_{LIQ}	I+, I-, Q+, Q-, ENV	10			k Ω
出力容量負荷	C_{LIQ}	I+, I-, Q+, Q-, ENV			20	pF
出力DC電圧レベル	V_{DC1}	I+, I-, Q+, Q- (TXW=0)	1.55	1.6	1.65	V
	V_{DC2}	無変調時I+ (CR0 - B5 = 1)		1.77		V
	V_{DC3}	無変調時Q+ (CR0 - B5 = 1)		1.67		V
	V_{DC4}	ENV (TXW = 0)		1.35		V
	V_{DC5}	ENV (TXW = 1, CR0 - B2 = 0, TXD = 0)		1.72		V
	V_{DC6}	ENV (TXW = 1, CR0 - B2 = 1, TXD = 0)		1.63		V
出力AC電圧レベル	VAC	I+, I-, Q+, Q- (TXW = 0連続入力に対して)	340	360	380	mV _{PP}
オフセット電圧差	V_{OFF}	I+, I-, Q+, Q- 間の差	- 20		+ 20	mV
出力DC電圧調整レベル範囲	DCVL			± 45		mV
出力AC電圧調整レベル範囲	ACVL			± 4		%
帯域外スペクトラム	P600	600kHz離調 (*)	60			dB
	P900	900kHz離調 (*)	65			dB
変調精度	EVM			1.0	3.0	%rms
復調側IF入力レベル	IFV	IFIN入力レベル	0.4		V_{DD}	V_{PP}
IFIN入力インピーダンス	RIF			20		k Ω
	CIF			5		pF
SG出力電圧	VSG			2.0		V
SG出力インピーダンス	RSG			2		k Ω
SG安定時間	T_{SG}	SG-AGND間0.1 μ F (90%まで立ち上がる時間)		400		μ s
変調部D/A変換器 サンプリング周波数	F_{SDA}			1.92		MHz
変調部D/A変換器 カットオフ周波数	F_{CDA}			380		kHz

(*) 0 ~ 96kHz帯域内パワーの2倍に対しての600k or 900k \pm 96kHzのパワー減衰量

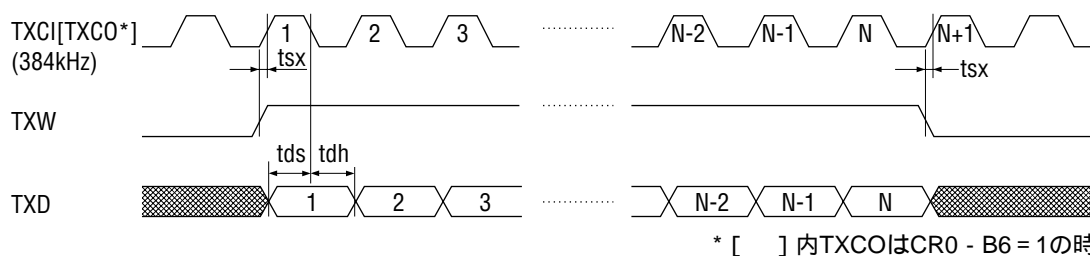
● デジタルインタフェース特性

($V_{DD} = 2.7V \sim 3.6V$, $T_a = -25 \sim +70$)

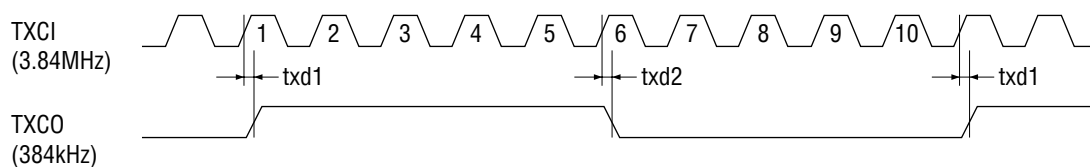
項 目	記号	条 件		Min.	Typ.	Max.	単位	
			その他					
送信側 デジタル入出力タイミング	tsx	Clod = 50pF	図6	- 200		+ 200	ns	
	tds			200		—	ns	
	tdh							
	txd1			0		200	ns	
	txd2							
	txd3 txd4			0		200	ns	
受信側 デジタル入出力タイミング	trd1	Clod = 50pF	図7	0		200	ns	
	trd2			0		200	ns	
	trs1 ~ trs4			10			μs	
	trw			10			μs	
シリアル・ポート デジタル入出力 タイミング特性	tm1	Clod = 50pF	図8	50			ns	
	tm2			50			ns	
	tm3			50			ns	
	tm4			50			ns	
	tm5			100			ns	
	tm6			50			ns	
	tm7			50			ns	
	tm8			0		100	ns	
	tm9			50			ns	
	tm10			50			ns	
	tm11			0		50	ns	
EXCKクロック周波数	F _{exck}		EXCK			10	MHz	

■ タイミングチャート

●送信データ入力タイミング



●送信クロック (TXCO) 出力タイミング (CR0 - B6 = 1の時)



●送信バースト位置 (TXCO) 出力タイミング (CR0 - B6 = 0の時、CR5 - B7 = 1の時)

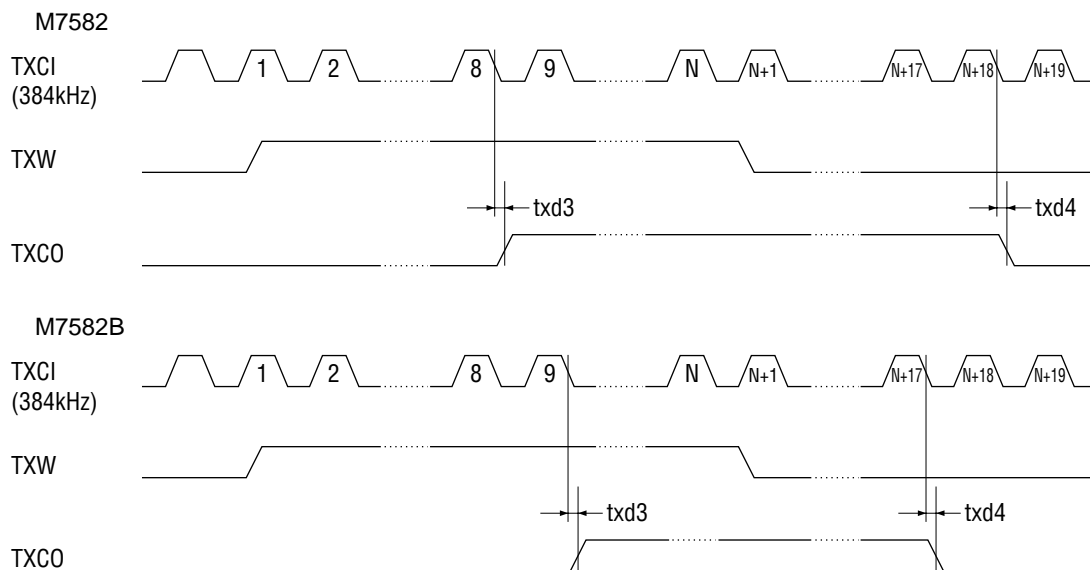


図6 送信側 (変調側) デジタル入出力タイミング

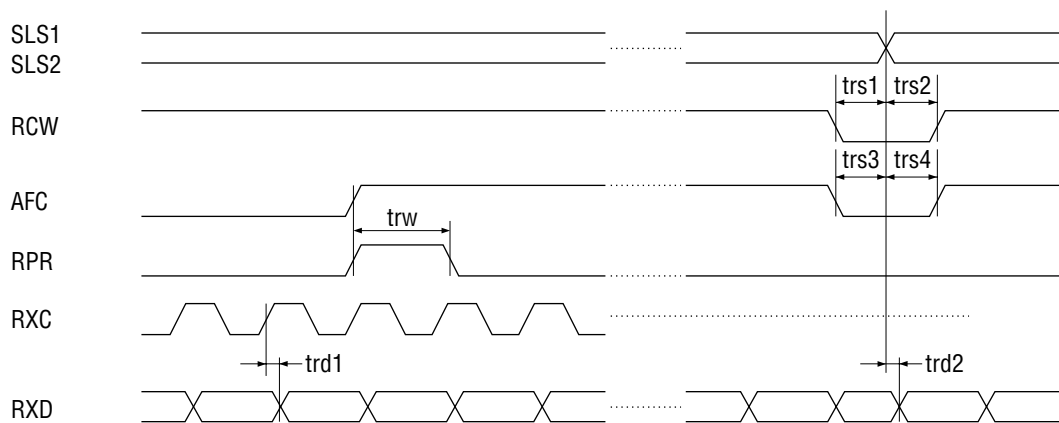


図7 受信側（復調側）デジタル入出力タイミング

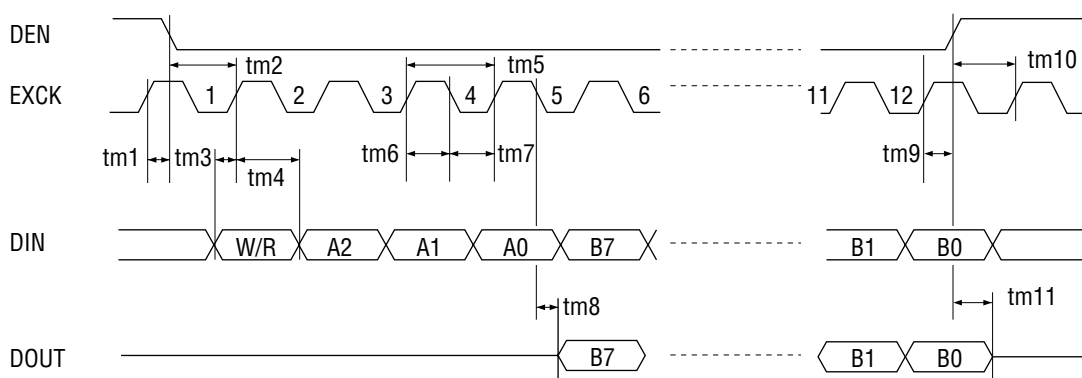


図8 シリアル・コントロール・ポートインタフェース

■ 動作説明

● コントロール・レジスタ内容一覧

(1) CR0 (基本動作モード設定)

	B7	B6	B5	B4	B3	B2	B1	B0
CR0	PS/CS	TXCSEL	MODOFF	IFSEL1	IFSEL0	ENVSEL	TEST1	TEST0
初期値 (注)	0	0	0	0	0	0	0	0

注記：初期値とは、PDN端子により、リセットをかけたときに設定される値です。

- B7 PS/CS選択
 1 / CS用 (クロック再生DPLL部4回路ON)
 0 / PS用 (クロック再生DPLL部2回路ON)
- B6 送信タイミングクロック選択
 0 / TXCI入力 : 384kHz
 TXCO出力 : APLLの384kHz出力
 送信データTXDはTXCIの立上がりに同期して入力。APLLオン
 1 / TXCI入力 : 3.84MHz
 TXCO出力 : TXCIの1/10分周の384kHz出力
 送信データTXDはTXCOの立上がりに同期して入力。APLLオフ
- B5 変調OFF/ON制御
 1 / 変調OFF (固定位相) 0 / 変調ON
- B4、B3 受信側入力IF周波数選択
 (0, 0) (0, 1) : 1.2MHz
 (1, 0) : 10.8MHz
 (1, 1) : 10.7MHz/10.75MHz
- B2 送信エンベロープ出力 ($I^2 + Q^2$ or $\sqrt{I^2 + Q^2}$) 選択
 1 / $I^2 + Q^2$ 出力 0 / $\sqrt{I^2 + Q^2}$ 出力
- B1、B0 テストモード選択ビット。送信ENV端子に各モニタ出力が出力される。
 (0, 0) : 送信エンベロープ ($I^2 + Q^2$ or $\sqrt{I^2 + Q^2}$) 出力
 (0, 1) : 受信側位相検波出力
 (1, 0) : 受信側遅延検波出力
 (1, 1) : 受信側内部AFC情報出力

(2) CR1 (I, Qゲイン調整)

	B7	B6	B5	B4	B3	B2	B1	B0
CR1	Ich GAIN3	Ich GAIN2	Ich GAIN1	Ich GAIN0	Qch GAIN3	Qch GAIN2	Qch GAIN1	Qch GAIN0
初期値	0	0	0	0	0	0	0	0

B7 ~ B4 I+ / I- 出力ゲイン設定 3mVステップ (表3参照)

B3 ~ B0 Q+ / Q- 出力ゲイン設定 3mVステップ (表3参照)

(3) CR2 (ENVゲイン調整)

	B7	B6	B5	B4	B3	B2	B1	B0
CR2	ENV GAIN3	ENV GAIN2	ENV GAIN1	ENV GAIN0				ICT0
初期値	0	0	0	0	0	0	0	1

B7 ~ B4 ENV出力ゲイン調整 (表3参照)

B3 ~ B1 未使用

B0 LSIテスト制御ビット。読み出し専用で常に"1"です。

CR1-B7	-B6	-B5	-B4	内 容
CR1-B3	-B2	-B1	-B0	
CR2-B7	-B6	-B5	-B4	
0	1	1	1	振幅値 1.042 *基準値
0	1	1	0	1.036
0	1	0	1	1.030
0	1	0	0	1.024
0	0	1	1	1.018
0	0	1	0	1.012
0	0	0	1	1.006
0	0	0	0	1.000 (基準値)
1	1	1	1	0.994
1	1	1	0	0.988
1	1	0	1	0.982
1	1	0	0	0.976
1	0	1	1	0.970
1	0	1	0	0.964
1	0	0	1	0.958
1	0	0	0	0.952

表3 I、Q、ENV出力ゲイン設定表

(4) CR3 (I - 出力オフセット電圧調整)

	B7	B6	B5	B4	B3	B2	B1	B0
CR3	Ich Offset4	Ich Offset3	Ich Offset2	Ich Offset1	Ich Offset0			
初期値	0	0	0	0	0	0	0	0

B7 ~ B3 I - 出力オフセット電圧調整 (表4参照)

B2 ~ B0 未使用

(5) CR4 (Q - 出力オフセット電圧調整)

	B7	B6	B5	B4	B3	B2	B1	B0
CR4	Qch Offset4	Qch Offset3	Qch Offset2	Qch Offset1	Qch Offset0			
初期値	0	0	0	0	0	0	0	0

B7 ~ B3 Q - 出力オフセット電圧調整 (表4参照)

B2 ~ B0 未使用

CR3-B7	B6	B5	B4	B3	内 容	CR3-B7	B6	B5	B4	B3	内 容
CR4-B7	B6	B5	B4	B3		CR4-B7	B6	B5	B4	B3	
0	1	1	1	1	オフセット +45 mV	1	1	1	1	1	オフセット -3 mV
0	1	1	1	0	+42 mV	1	1	1	1	0	-6 mV
0	1	1	0	1	+39 mV	1	1	1	0	1	-9 mV
0	1	1	0	0	+36 mV	1	1	1	0	0	-12 mV
0	1	0	1	1	+33 mV	1	1	0	1	1	-15 mV
0	1	0	1	0	+30 mV	1	1	0	1	0	-18 mV
0	1	0	0	1	+27 mV	1	1	0	0	1	-21 mV
0	1	0	0	0	+24 mV	1	1	0	0	0	-24 mV
0	0	1	1	1	+21 mV	1	0	1	1	1	-27 mV
0	0	1	1	0	+18 mV	1	0	1	1	0	-30 mV
0	0	1	0	1	+15 mV	1	0	1	0	1	-33 mV
0	0	1	0	0	+12 mV	1	0	1	0	0	-36 mV
0	0	0	1	1	+9 mV	1	0	0	1	1	-39 mV
0	0	0	1	0	+6 mV	1	0	0	1	0	-42 mV
0	0	0	0	1	+3 mV	1	0	0	0	1	-45 mV
0	0	0	0	0	0 mV	1	0	0	0	0	-48 mV

表4 Ich、Qchオフセット調整値

(6) CR5

	B7	B6	B5	B4	B3	B2	B1	B0
CR5	BSTO ENBL	ICT6	ICT5	ICT4	LOCAL INV1	LOCAL INV0	CLK SEL1	CLK SEL0
初期値	0	0	0	0	0	0	0	0

- B7 変調側バーストウィンドウ出力イネーブルビット
 1 / TXCO端子にI, Qベースバンド変調出力のバースト出力位置が出力される。
 0 / TXCO端子に送信タイミングクロック (384kHz) が出力される。
- B6 ~ B4 ICT6 ~ ICT4。LSIテスト制御ビット
- B3、B2 ローカル反転モード設定ビット
 (1, 1) : ローカル反転モード
 (0, 0) : 通常モード
- B1 発振回路部X1、X2端子 クロック波形整形モード切り替えビット
 1 / クロック波形整形モード (下図9参照)
 0 / 発振回路モード
- B0 クロック波形整形モード時X1、X2部パワーオン制御ビット
 1 / 常時パワーオン
 0 / 待機モード時の全体パワーダウン状態でパワーダウン。それ以外ではパワーオン。

(注) CR5 - B6 ~ B4は本LSIの試験に用いられている為、通常使用時には"0"に設定して下さい。

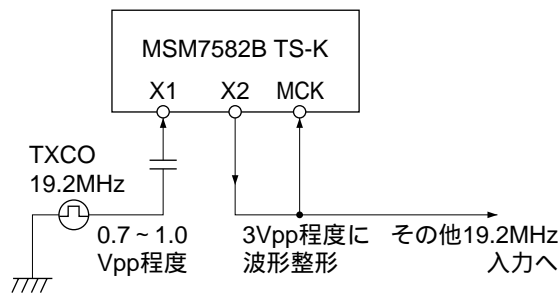


図9 CR5 - B1によるクロック波形整形モード時の応用回路例

● 状態遷移時間

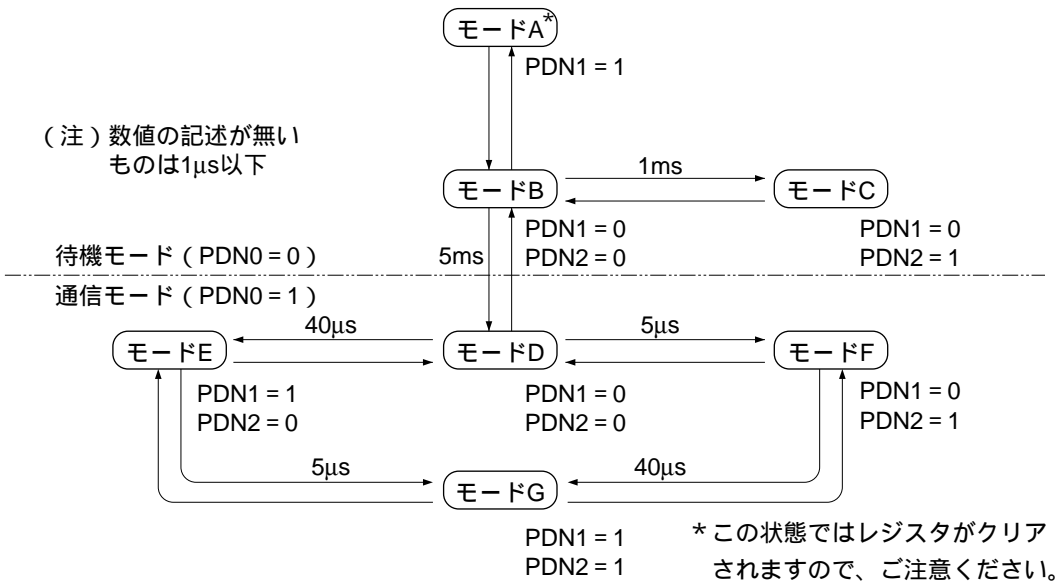


図10 パワーダウン状態遷移時間

■ 応用回路例

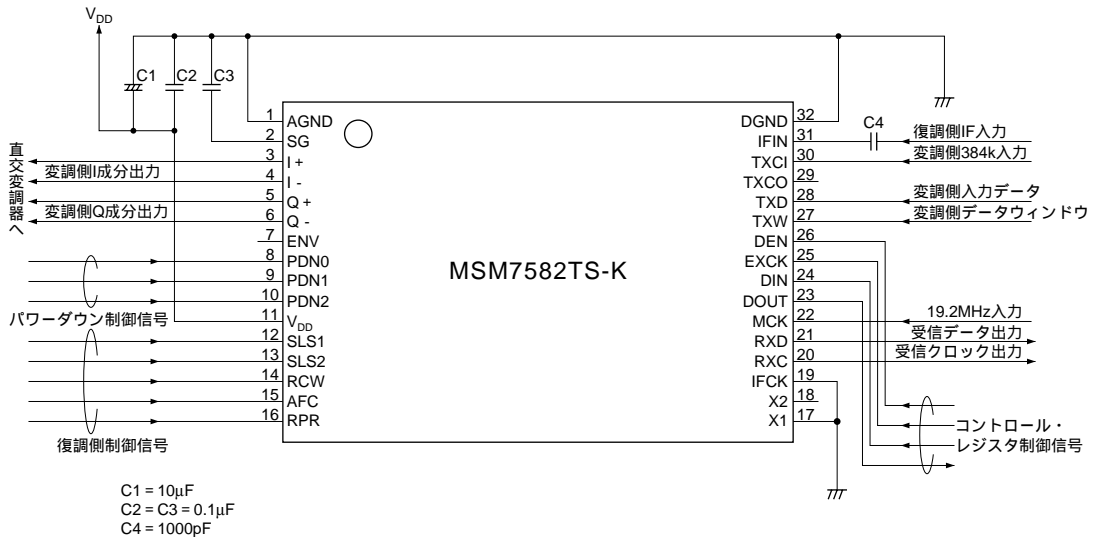
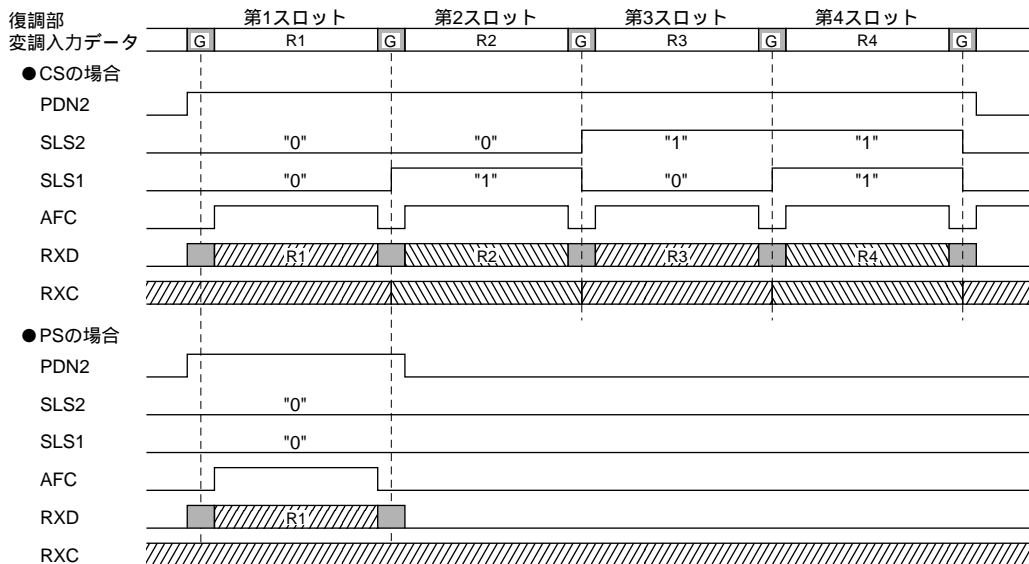
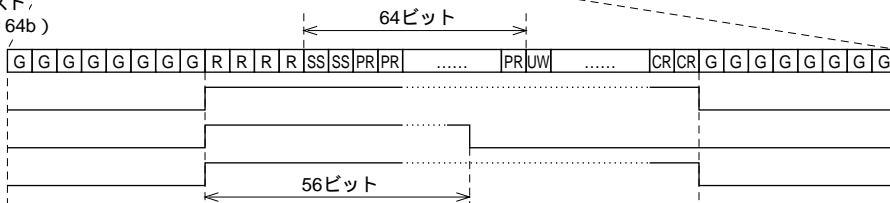


図11 使用回路構成例

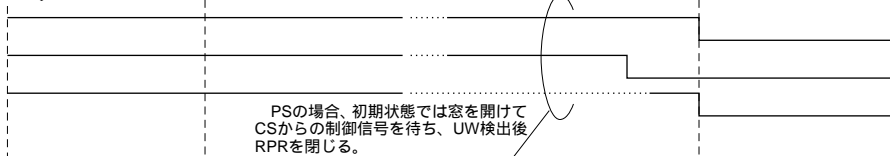
● 復調部制御タイミングチャート (例)



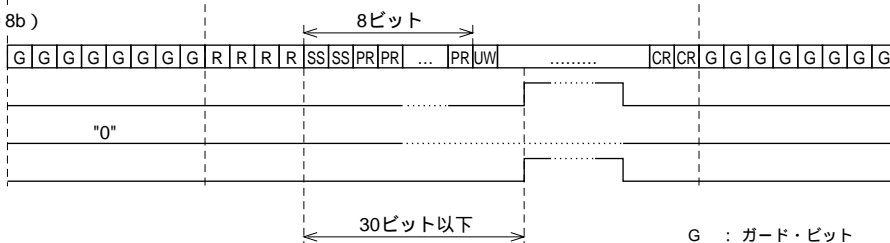
(1) 制御Ch
同期バースト
(SS + PR = 64b)



(2) 同期未確立時
(PSの場合のみ)



(3) 通信Ch
(SS + PR = 8b)

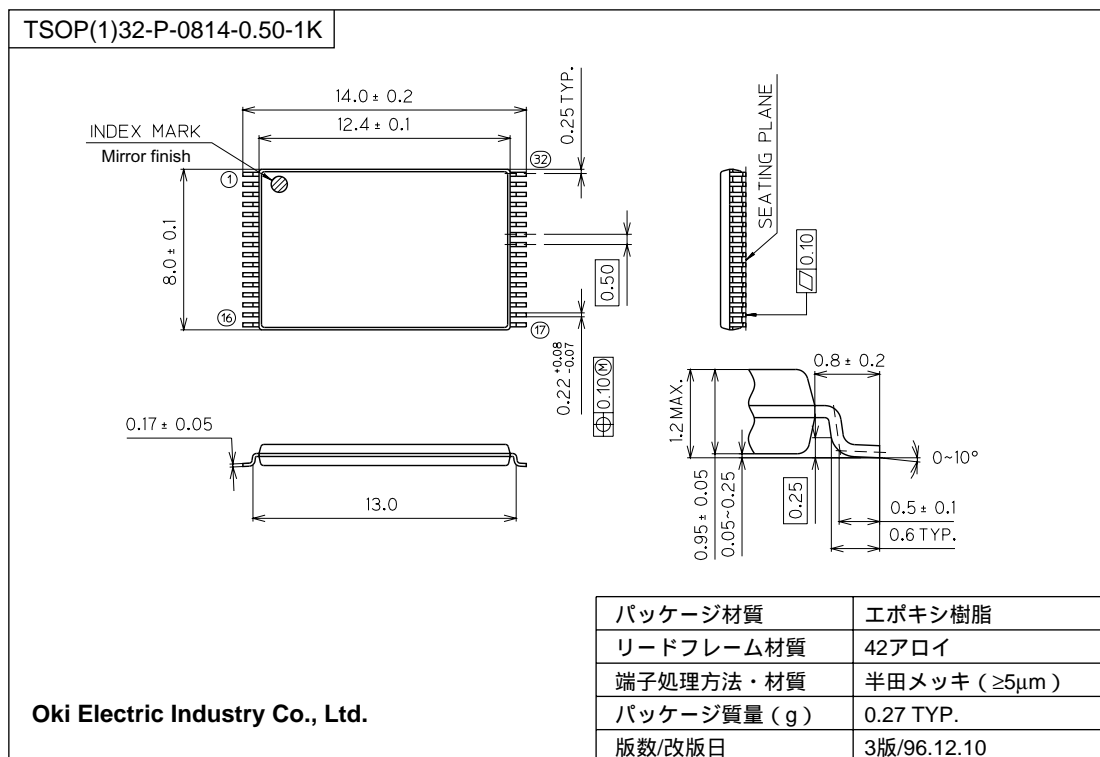


*AFCとRCWは同一制御でもかまいません。

G : ガード・ビット
R : ランプ・ビット
SS : スタートシンボル・ビット
PR : プリアンブル・ビット
UW : ユニークワード・ビット
CR : CRCビット

■ パッケージ寸法図

(単位：mm)



表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。

改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL7582B-03	2001. 11	－	－	正式 3 版発行
FJDL7582B-04	2004. 7. 5	－	－	正式 4 版発行
		12	12	送信側デジタル入出力タイミングの一部を変更

ご注意

1. 本書に記載された内容は、製品改善及び技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、その情報が最新のものであることをご確認ください。
2. 本書に記載された動作概要及び応用回路例は、本製品の標準的な動作や使い方を説明するためのものです。したがって、実際に本製品を使用される場合には、外部諸条件を考慮のうえ回路・実装設計をしてください。
3. **設計に際しましては、最大定格、動作電源電圧範囲、放熱特性など保証範囲内でお使いください。保証値を超えての使用など本製品の誤った使用または不適切な使用等に起因する本製品の具体的な運用結果につきましては、当社は責任を負いかねますのでご了承ください。**
4. 本製品及び本書に記載された情報や図面等の使用に関して、当社は、第三者の工業所有権・知的所有権及びその他の権利に対する保証または実施権の許諾を行うものではありません。したがって、その使用に起因する第三者の権利侵害に対し、当社は責任を負いかねますのでご了承ください。
5. 当社は品質、信頼性の向上に努めておりますが、部品の性格上、ある確率の欠陥、故障が不可避だと考えられます。当社製品をお使いの場合には、このような故障が生じても直接人命を脅かしたり、身体または財産に危害を生じさせないよう、装置やシステム上で十分な安全設計をお願いします。
6. 本書記載の製品は、一般電子機器(事務機器、通信機器、計測機器、家電製品など)に使用されることを意図しております。特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、身体または財産に危害を及ぼす恐れのある装置やシステム(交通機器、安全装置、航空・宇宙機器、原子力制御、生命維持装置を含む医療機器など)に使用をお考えのお客様は、必ず事前に当社販売窓口までご相談願います。
7. 本書に記載された製品には、「外国為替及び外国貿易管理法」に基づく戦略物資等に該当するものがあります。したがって、該当製品またはその一部を輸出する場合には、同法に基づく日本国政府の輸出許可が必要となりますので、その申請手続きをお取りください。
8. 本書に記載された内容を、当社に無断で転載または複製することはご遠慮ください。

Copyright 2004 OKI ELECTRIC INDUSTRY CO., LTD.

OKI 沖電気工業株式会社

本社別館〒108-8551 東京都港区芝浦4丁目10番3号(本社別館)
シリコンソリューションカンパニー <http://www.okisemi.com/jp/>