

ML7033

加入者線終端回路用 2 チャンネルコーデック

概要

ML7033 は、ISDN ターミナルアダプタや事業所用交換機等、SLIC LSI を内蔵した加入者線終端回路用に開発された ITU-T G.714 規格準拠の 2 チャンネルの多機能 PCM コーデック LSI です。

本 LSI には、プログラマブルトーンジェネレータ、デバウンスタイマ、タイムスロットアサインメント機能等、用途に特化した豊富な機能が集積されておりますので、システム設計の容易化が図れるばかりではなく、少ない外付け部品で加入者線終端回路を構成することができます。

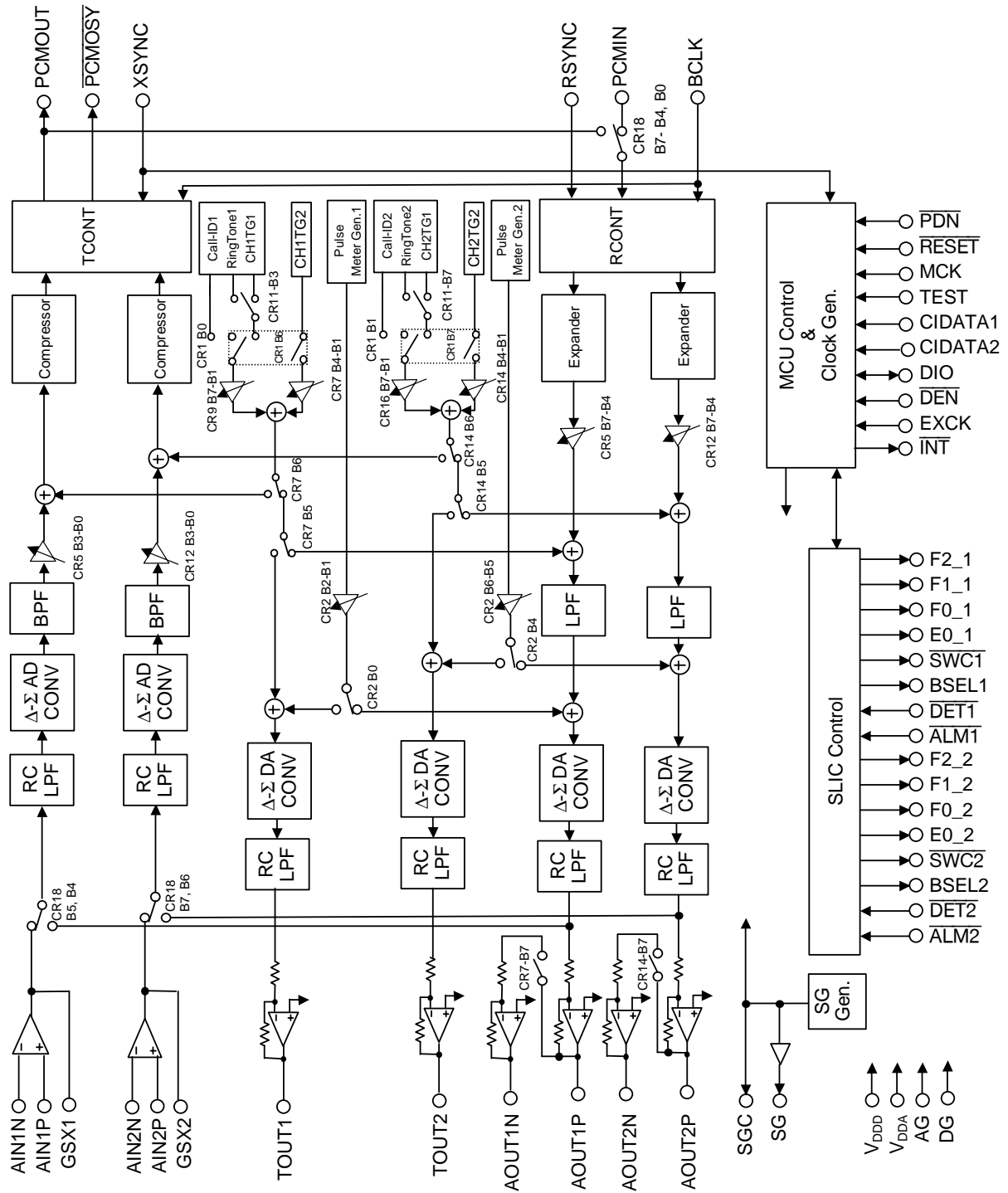
尚、本 LSI の仕様開発にあたっては、米国 Intersil 社の協力を得ており、本 LSI を同社の RSLIC™ シリーズと組み合わせてご使用になる場合、本 LSI 経由での SLIC 制御が可能で、更なるシステム設計の簡素化が図れるようになっております。

特長

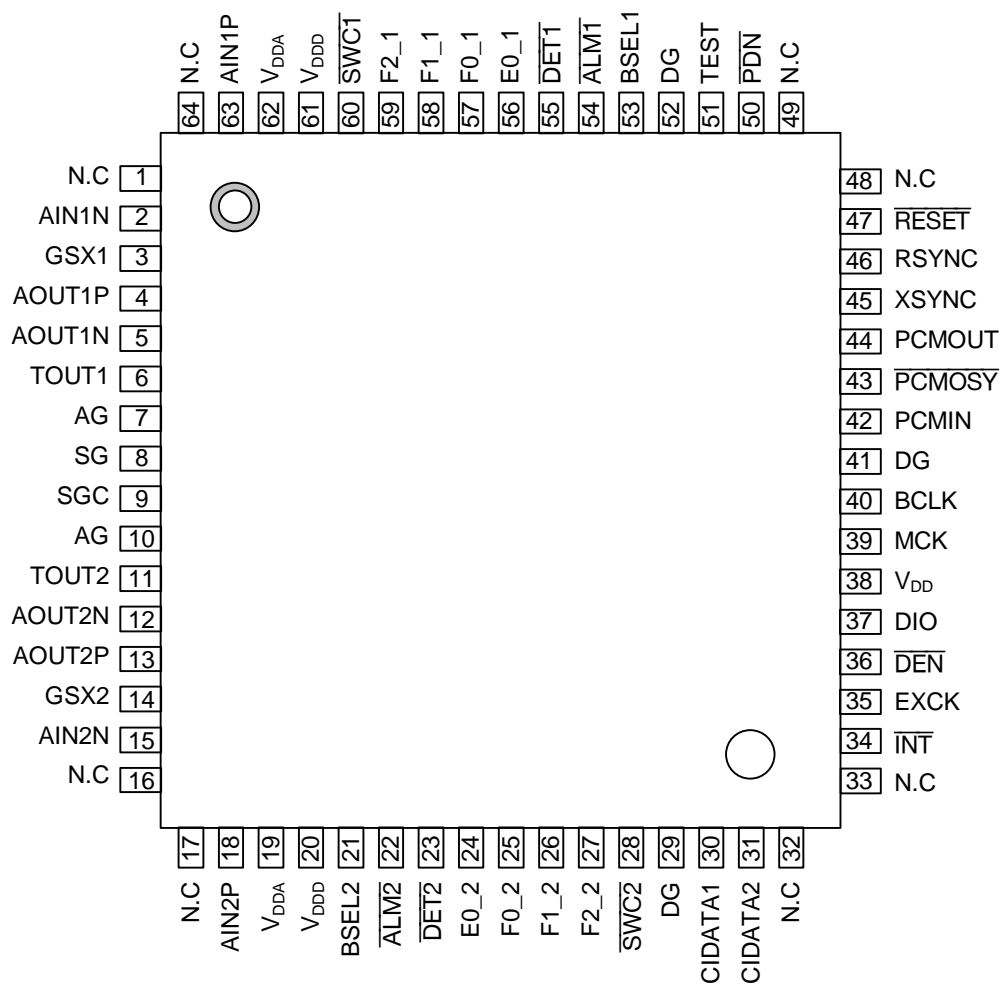
- Intersil 社 RSLIC™ シリーズとの直接インタフェース可能
- 単一 5V 電源動作 (4.75 ~ 5.25 V)
- - 型 AD/DA 変換回路使用
- PCM フォーマット : μ -law/A-law (ITU-T G.711 準拠)、14 bit リニア (2 の補数表現)
- V.90 モデムデータ通信用広帯域フィルタ選択可
- 低消費電力

- 2 チャンネル動作時	115 mW (typ.)	180 mW (max.)
- 1 チャンネル動作時	80 mW (typ.)	115 mW (max.)
- パワーダウン時 (PDN 端子 = "0")	0.1 mW (typ.)	0.25 mW (max.)
- パワーオンリセット回路内蔵
- 送受両方向切り替え式プログラマブルトーンジェネレータ内蔵 (300 ~ 3400 Hz、10 Hz ステップ、0.1 dB ステップ)
 - コールプログレストーン、DTMF トーン
- リンギングトーンジェネレータ (15 ~ 50 Hz、1 Hz ステップ、0.1 dB ステップ)
- パルスメタリング トーンジェネレータ (12 kHz、16 kHz)
- Caller ID トーンジェネレータ (ITU-T V.23、Bell 202 選択可)
- アナログ、及び、デジタルループバックテストモード内蔵
- タイムスロットアサインメント機能
- シリアル MCU インタフェースによる制御
- マスタークロック周波数: 2.048 MHz/4.096 MHz 選択可
- PCM シリアル伝送データレート: 256 ~ 4096 kbps
- 送信/受信ゲイン調整可能 (1 dB ステップ)
- 基準電圧源生成回路内蔵
- アナログ出力形式 : シングル、差動選択可
- パッケージ 64 ピンプラスチック QFP (QFP64-P-1414-0.80-BK) (製品名: ML7033GA)

ブロック図



端子接続 (上面図)



64 ピンプラスチック QFP

端子説明

ピン番号	端子名	I/O	説明
1	N.C	—	(オープンにしてください)
2	AIN1N	I	チャンネル1 送信オペアンプ入力(-)
3	GSX1	O	チャンネル1 送信オペアンプ出力
4	AOUT1P	O	チャンネル1 受信出力(+)
5	AOUT1N	O	チャンネル1 受信出力(-)
6	TOUT1	O	チャンネル1 トーン出力
7	AG	—	アナロググランド
8	SG	O	アナログ基準電圧出力(外部回路にて使用可)
9	SGC	O	アナロググランド電位生成内部回路用バイパスコンデンサ接続端子
10	AG	—	アナロググランド
11	TOUT2	O	チャンネル2 トーン出力
12	AOUT2N	O	チャンネル2 受信出力(-)
13	AOUT2P	O	チャンネル2 受信出力(+)
14	GSX2	O	チャンネル2 送信オペアンプ出力
15	AIN2N	I	チャンネル2 送信オペアンプ入力(-)
16	N.C	—	(オープンにしてください)
17	N.C	—	(オープンにしてください)
18	AIN2P	I	チャンネル2 送信オペアンプ入力(+)
19	V _{DDA}	—	アナログ電源
20	V _{DDD}	—	デジタル電源
21	BSEL2	O	SLIC2 バッテリー選択用出力
22	$\overline{\text{ALM2}}$	I	SLIC2 の温度異常による自動パワーダウン検出端子($\overline{\text{ALM2}}$)出力対応入力端子
23	$\overline{\text{DET2}}$	I	SLIC2 のフックスイッチ、グランドキーまたはリングトリップ検出端子($\overline{\text{DET2}}$)対応入力端子
24	E0_2	O	SLIC2 検出回路選択用出力
25	F0_2	O	SLIC2 F0 用モード制御出力
26	F1_2	O	SLIC2 F1 用モード制御出力
27	F2_2	O	SLIC2 F2 用モード制御出力
28	$\overline{\text{SWC2}}$	O	SLIC2 汎用多目的スイッチ(uncommitted switch)制御用出力
29	DG	—	デジタルグランド
30	CIDATA1	I	チャンネル1 の Caller ID データ入力
31	CIDATA2	I	チャンネル2 の Caller ID データ入力
32	N.C	—	(オープンにしてください)
33	N.C	—	(オープンにしてください)
34	$\overline{\text{INT}}$	O	割り込み出力
35	EXCK	I	MCU インタフェースデータクロック入力
36	$\overline{\text{DEN}}$	I	MCU インタフェースデータイネーブル入力
37	DIO	I/O	MCU インタフェース制御データ入出力

ピン番号	端子名	I/O	説明
38	V _{DDD}	—	デジタル電源
39	MCK	I	マスタクロック(2.048/4.096 MHz)
40	BCLK	I	PCM データ用シフトクロック
41	DG	—	デジタルグランド
42	PCMIN	I	PCM データ入力
43	PCMOSY	O	タイムスロット割り当て用 PCM データ同期出力
44	PCMOUT	O	PCM データ出力
45	XSYNC	I	送信同期信号
46	RSYNC	I	受信同期信号
47	RESET	I	コントロールレジスタのリセット
48	N.C	—	(オープンにしてください)
49	N.C	—	(オープンにしてください)
50	PDN	I	パワーダウン制御
51	TEST	I	内部テスト入力(通常動作時には“0”を入力してください)
52	DG	—	デジタルグランド
53	BSEL1	O	SLIC1 バッテリー選択用出力
54	ALM1	I	SLIC1 の温度異常による自動パワーダウン検出端子(ALM2)出力対応入力端子
55	DET1	I	SLIC1 のフックスイッチ、グランドキーまたはリングトリップ検出端子(DET2)対応入力端子
56	E0_1	O	SLIC1 検出回路選択用出力
57	F0_1	O	SLIC1 F0 用モード制御出力
58	F1_1	O	SLIC1 F1 用モード制御出力
59	F2_1	O	SLIC1 F2 用モード制御出力
60	SWC1	O	SLIC1 汎用多目的スイッチ(uncommitted switch)制御用出力
61	V _{DDD}	—	デジタル電源
62	V _{DDA}	—	アナログ電源
63	AIN1P	I	チャンネル 1 送信オペアンプ入力(+)
64	N.C	—	(オープンにしてください)

(注意) 本紙では、CH1 のみ、もしくは、CH2 のみに対応する端子名の“1”、“2”を総称して“n”(小文字)で表記する場合があります。

例 : GSX1、GSX2 GSXn
 AOUT1N、AOUT2N AOUTnN
 $\overline{\text{DET1}}$ 、 $\overline{\text{DET2}}$ $\overline{\text{DETn}}$

コントロールレジスタ割り当て

Register	Address					Data								R/W
	A4	A3	A2	A1	A0	B7	B6	B5	B4	B3	B2	B1	B0	
CR0	0	0	0	0	0	FILTER2 SEL	FILTER1 SEL	MCK SEL	SHORT	LIN	ALAW	MODE1	MODE0	R/W
CR1	0	0	0	0	1	CH2TG ON	CH1TG ON				CID FMT	CID CH2 ON	CID CH1 ON	R/W
CR2	0	0	0	1	0	PMG2 FRQ	PMG2 LV1	PMG2 LV0	PMG2 TOUT2	PMG1 FRQ	PMG1 LV1	PMG1 LV0	PMG1 TOUT1	R/W
CR3	0	0	0	1	1	TSAE	TSAC	TSA5	TSA4	TSA3	TSA2	TSA1	TSA0	W
CR4	0	0	1	0	0	DET2 TIM3	DET2 TIM2	DET2 TIM1	DET2 TIM0	DET1 TIM3	DET1 TIM2	DET1 TIM1	DET1 TIM0	R/W
CR5	0	0	1	0	1	LV1R3	LV1R2	LV1R1	LV1R0	LV1X3	LV1X2	LV1X1	LV1X0	R/W
CR6	0	0	1	1	0	F2_1	F1_1	F0_1	SWC1	BSEL1	E0_1	DET1*	ALM1*	R/W
CR7	0	0	1	1	1	AOUT1 SEL	CH1TG2 TX	CH1TG2 TOUT1	CH1TG2 LV3	CH1TG2 LV2	CH1TG2 LV1	CH1TG2 LV0	CH1TG2 _8	R/W
CR8	0	1	0	0	0	CH1TG2 _7	CH1TG2 _6	CH1TG2 _5	CH1TG2 _4	CH1TG2 _3	CH1TG2 _2	CH1TG2 _1	CH1TG2 _0	R/W
CR9	0	1	0	0	1	CH1TG1 LV6	CH1TG1 LV5	CH1TG1 LV4	CH1TG1 LV3	CH1TG1 LV2	CH1TG1 LV1	CH1TG1 LV0	CH1TG1 _8	R/W
CR10	0	1	0	1	0	CH1TG1 _7	CH1TG1 _6	CH1TG1 _5	CH1TG1 _4	CH1TG1 _3	CH1TG1 _2	CH1TG1 _1	CH1TG1 _0	R/W
CR11	0	1	0	1	1	CH2 RING	CH2TG1 TRP2	CH2TG1 TRP1	CH2TG1 TRP0	CH1 RING	CH1TG1 TRP2	CH1TG1 TRP1	CH1TG1 TRP0	R/W
CR12	0	1	1	0	0	LV2R3	LV2R2	LV2R1	LV2R0	LV2X3	LV2X2	LV2X1	LV2X0	R/W
CR13	0	1	1	0	1	F2_2	F1_2	F0_2	SWC2	BSEL2	E0_2	DET2*	ALM2*	R/W
CR14	0	1	1	1	0	AOUT2 SEL	CH2TG TX	CH2TG TOUT2	CH2TG2 LV3	CH2TG2 LV2	CH2TG2 LV1	CH2TG2 LV0	CH2TG2 _8	R/W
CR15	0	1	1	1	1	CH2TG2 _7	CH2TG2 _6	CH2TG2 _5	CH2TG2 _4	CH2TG2 _3	CH2TG2 _2	CH2TG2 _1	CH2TG2 _0	R/W
CR16	1	0	0	0	0	CH2TG1 LV6	CH2TG1 LV5	CH2TG1 LV4	CH2TG1 LV3	CH2TG1 LV2	CH2TG1 LV1	CH2TG1 LV0	CH2TG1 _8	R/W
CR17	1	0	0	0	1	CH2TG1 _7	CH2TG1 _6	CH2TG1 _5	CH2TG1 _4	CH2TG1 _3	CH2TG1 _2	CH2TG1 _1	CH2TG1 _0	R/W
CR18	1	0	0	1	0	CH2 LOOP1	CH2 LOOP0	CH1 LOOP1	CH1 LOOP0	TEST3	TEST2	TEST1	TEST0	R/W
CR19	1	0	0	1	1	TEST11	TEST10	TEST9	TEST8	TEST7	TEST6	TEST5	TEST4	R/W

*: 読み出し専用ビット

(注意) 本紙では、レジスタ名中の整数を”n”(小文字)で表記し、総称として用いる場合があります。その場合、”n”が表しているのは、チャンネル番号だけとは限りません。

例 : MODE0、MODE1 MODEn
 CH1TG2_7、CH1TG2_6 CH1TG2_n
 PMG2FRQ、PMG1FRQ PMGnFRQ

絶対最大定格

項目	記号	条件	定格値	単位
電源電圧	V _{DD}	V _{DDD} および V _{DDA}	-0.3 ~ +7.0	V
アナログ入力電圧	V _{AIN}	—	-0.3 ~ V _{DD} +0.3	V
デジタル入力電圧	V _{DIN}	—	-0.3 ~ V _{DD} +0.3	V
保存温度	T _{STG}	—	-55 ~ +150	°C

推奨動作条件

項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧	V _{DD}	電圧固定、V _{DDD} および V _{DDA}	4.75	5.0	5.25	V
動作温度範囲	T _{OP}	—	-40	—	+85	°C
高レベル入力電圧	V _{IH}	デジタル入力端子	2.2	—	V _{DD}	V
低レベル入力電圧	V _{IL}		0	—	0.8	V
MCK 周波数	F _{MCK}	MCK = 2.048 MHz (MCKSEL = "0")	-0.01%	2048	+0.01%	kHz
		MCK = 4.096 MHz (MCKSEL = "1")	-0.01%	4096	+0.01%	kHz
BCLK 周波数	F _{BCLK}	BCLK	256	—	4096	kHz
同期信号周波数	F _{SYNC}	XSYNC、RSYNC	-0.01%	8	+0.01%	kHz
クロックデューティ比	D _{CLK}	MCK、BCLK	40	50	60	%
デジタル入力立上り時間	t _{IR}	全てのデジタル入力端子	—	—	50	ns
デジタル入力立下り時間	t _{IF}		—	—	50	ns
MCK to BCLK 位相差	t _{MB}	MCK、BCLK	—	—	50	ns
送信同期信号タイミング	t _{XS}	BCLK to XSYNC	50	—	—	ns
	t _{SX}	XSYNC to BCLK	50	—	—	ns
受信同期信号タイミング	t _{RS}	BCLK to RSYNC	50	—	—	ns
	t _{SR}	RSYNC to BCLK	50	—	—	ns
同期信号幅	t _{WS}	XSYNC、RSYNC、SHORT = "0"	1 BCLK	—	125 μs -1BCLK	μs
		XSYNC、RSYNC、SHORT = "1"	210	—	1BCLK	ns
PCMOUT セットアップ時間	t _{DS}	PCMOUT	50	—	—	ns
PCMOUT ホールド時間	t _{DH}	PCMOUT	50	—	—	ns
デジタル出力負荷	R _{DL}	プルアップ抵抗、PCMOUT	0.5	—	—	kΩ
	C _{DL1}	PCMOUT	—	—	50	pF
	C _{DL2}	他の出力端子	—	—	50	pF
SGC 用バイパスコンデンサ	C _{SG}	SGC to AG	0.1	—	—	μF

電気的特性

直流およびデジタルインタフェース特性

(V_{DD} = 4.75 ~ 5.25 V, Ta = -40 ~ +85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
電源電流	I _{DD1}	2CH 動作時、信号なし	—	23.0	35.0	mA
	I _{DD2}	1CH 動作時、信号なし	—	16.0	22.0	mA
	I _{DD4}	パワーダウン時、P _{DN} = "0"	—	25.0	50.0	μA
高レベル入力リーク電流	I _{IH}	全てのデジタル入力端子 V _I = V _{DD}	—	0.1	5.0	μA
低レベル入力リーク電流	I _{IL}	全てのデジタル入力端子 V _I = 0 V	-5.0	-0.1	—	μA
低レベルデジタル出力電圧	V _{OL1}	PCMOUT、プルアップ = 0.5 kΩ	0	0.2	0.4	V
	V _{OL2}	他の出力端子、I _{OL} = -0.4 mA	0	0.2	0.4	V
高レベルデジタル出力電圧	V _{OH}	I _{OH} = 0.4 mA	2.5	—	—	V
デジタル出力リーク電流	I _O	PCMOUT ハイインピーダンス時	—	—	10	μA
入力容量	C _{IN}	—	—	5	—	pF

アナログインタフェース特性

(V_{DD} = 4.75 ~ 5.25 V, Ta = -40 ~ +85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
SG、SGC 出力電圧	V _{SG}	SGC to AG 0.1 μF	—	2.4	—	V
SG、SGC 立上り時間	t _{SGC}	SGC to AG 0.1 μF 最大レベルの 90%までの立上り時間	—	—	10	ms
SG 出力負荷抵抗	R _{LSG}	SG	10	—	—	kΩ

送信アナログインタフェース特性

(V_{DD} = 4.75 ~ 5.25 V, Ta = -40 ~ +85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
入力抵抗	R _{INX}	AINnN, AINnP	—	10	—	MΩ
出力負荷抵抗	R _{LGX}	GSXn (対 SGC)	20	—	—	kΩ
出力負荷容量	C _{LGX}		—	—	30	pF
出力電圧レベル	V _{OGX}	*1	—	—	2.226	V _{pp}
オフセット電圧	V _{OSGX}	ゲイン = 1	-50	—	50	mV

*1 -3.0 dBm (600Ω) = 0 dBm0

受信アナログインタフェース特性

(V_{DD} = 4.75 ~ 5.25 V, Ta = -40 ~ +85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
出力負荷抵抗	R _{LAO}	AOUTnN, AOUTnP (対 SGC)	20	—	—	kΩ
	R _{LTO}	TOUTn (対 SGC)	10	—	—	kΩ
出力負荷容量	C _{LAO}	AOUTnN, AOUTnP, TOUTn	—	—	50	pF
出力電圧レベル	V _{OAO}	AOUTnN, AOUTnP, TOUTn R _{LAO} = 20 kΩ (対 SGC)	—	—	3.4 *1	V _{pp}
オフセット電圧	V _{OSAO}	AOUTnN, AOUTnP, TOUTn R _{LAO} = 20 kΩ (対 SGC)	-100	—	100	mV

*1 0.658 dBm(600Ω) = 0 dBm0

交流特性 (1/3)

(V_{DD} = 4.75 ~ 5.25 V, T_a = -40 ~ +85°C)

項目	記号	条件		Min.	Typ.	Max.	単位	
		周波数 (Hz)	レベル (dBm0)					
送信周波数特性	Loss T1	60	0	GSX _n to PCMOUT (減衰)	25	45	—	dB
	Loss T2	300			-0.15	0.15	0.20	
	Loss T3	1020			基準値			
	Loss T4	3000			-0.15	0.02	0.20	
	Loss T5	3300			-0.15	0.1	0.80	
	Loss T6	3400			0	0.6	0.80	
受信周波数特性	Loss R1	100	0	PCMIN to AOUT _n (減衰)	-0.15	0.04	0.2	dB
	Loss R2	1020			基準値			
	Loss R3	3000			-0.15	0.07	0.2	
	Loss R4	3300			-0.15	0.2	0.8	
	Loss R5	3400			0	0.6	0.8	
送信信号対雑音比	SDT1	1020	3	GSX _n to PCMOUT *1	36	43	—	dB
	SDT2		0		36	40	—	
	SDT3		-30		36	38	—	
	SDT4		-40		30	32	—	
	SDT5		-45		25	29	—	
受信信号対雑音比	SDR1	1020	3	PCMIN to AOUT _n *1	36	42	—	dB
	SDR2		0		36	39	—	
	SDR3		-30		36	39	—	
	SDR4		-40		30	33	—	
	SDR5		-45		25	30	—	
送信レベル間損失偏差	GTT1	1020	3	GSX _n to PCMOUT	-0.2	0.02	0.2	dB
	GTT2		-10		基準値			
	GTT3		-40		-0.2	0.06	0.2	
	GTT4		-50		-0.6	0.4	0.6	
	GTT5		-55		-1.2	0.4	1.2	
受信レベル間損失偏差	GTR1	1020	3	PCMIN to AOUT _n	-0.2	0	0.2	dB
	GTR2		-10		基準値			
	GTR3		-40		-0.2	-0.02	0.2	
	GTR4		-50		-0.6	-0.1	0.6	
	GTR5		-55		-1.2	-0.2	1.2	

*1 Cメッセージフィルタ使用

交流特性 (2/3)

(V_{DD} = 4.75 ~ 5.25 V, Ta = -40 ~ +85°C)

項目	記号	条件		Min.	Typ.	Max.	単位		
		周波数 (Hz)	レベル (dBm0)						
無通話時雑音	NIDLE _T	—	—	アナログ入力 = SGC *1 AINn to PCMOU ゲイン = 1 (μ-law)		—	9	15	dBm0
	NIDLE _R	—	—	PCMIN = 'FF'h (μ-law) PCMIN = 'D5'h (A-law) PCMIN = '0'(リニア) *1 PCMIN to AOUn		—	4	10	
絶対レベル (初期偏差)	AV _T /AV _R	1020	0	GSXn to PCMOU V _{DD} = 5 V, Ta = 25°C		0.511	0.548	0.587	Vrms
				PCMIN to AOUn (シングルエンド) V _{DD} = 5 V, Ta = 25°C		0.806	0.835	0.864	
絶対レベル (温度、電源変動)	AV _{TT}			V _{DD} = 4.75 ~ 5.25 V Ta = -40 ~ 85°C		-0.3	—	0.3	dB
	AV _{RT}			-0.3	—	0.3			
絶対遅延時間	T _D	1020	0	A to A モード BCLK = 2048 kHz		—	0.58	0.6	ms
送信群遅延歪特性	T _{GD} T1	500	0	*2	—	0.26	0.75	ms	
	T _{GD} T2	600			—	0.16	0.35		
	T _{GD} T3	1000			—	0.02	0.125		
	T _{GD} T4	2600			—	0.05	0.125		
	T _{GD} T5	2800			—	0.07	0.75		
受信群遅延歪特性	T _{GD} R1	500	0	*2	—	0.00	0.75	ms	
	T _{GD} R2	600			—	0.00	0.35		
	T _{GD} R3	1000			—	0.00	0.125		
	T _{GD} R4	2600			—	0.09	0.125		
	T _{GD} R5	2800			—	0.12	0.75		
漏話減衰量	CR _T	1020	0	送信→受信		75	83	—	dB
	CR _R			受信→送信		75	80	—	
	CR _{CH}			チャンネル→チャンネル		75	78	—	
帯域外信号減衰量	DIS	4.6 ~ 72k	0	0 ~ 4 kHz		30	32	—	dB
帯域外スプリアス	OBS	300 ~ 3.4k	0	4.6 ~ 1000 kHz での測定		—	-37.5	-35	dB
信号周波数雑音	SFD _T	1020	0	0 ~ 4 kHz での測定		—	-50	-40	dBm0
	SFD _R					—	-48	-40	
混変調歪	IMD _T	fa = 470	-4	2 fa - fb を測定		—	-50	-40	dBm0
	IMD _R	fb = 320				—	-54	-40	
電源雑音除去比	PSR _{T1}	0 to 4k	100 mVrms	*3		40	44	—	dB
	PSR _{T2}	4 to 50k				50	55	—	
	PSR _{R1}	0 to 4k				40	45	—	
	PSR _{R2}	4 to 50k				50	56	—	

*1 Cメッセージフィルタ使用

*2 群遅延歪の最小値

*3 無通話時雑音で測定

交流特性 (3/3)

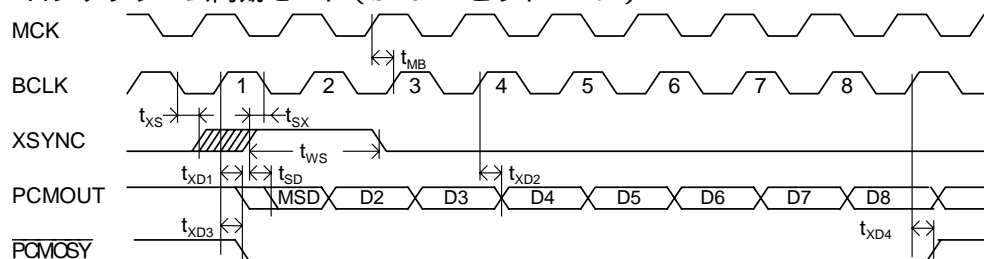
(V_{DD} = 4.75 ~ 5.25 V, Ta = -40 ~ +85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
デジタル出力遅延時間	t _{SD}	PCMOUT プルアップ抵抗 = 0.5 kΩ C _L = 50pF および 1 LSTTL	—	—	100	ns
	t _{XD1}		—	—	100	
	t _{XD2}		—	—	100	
	t _{XD3}	PCMOSY、C _L = 50 pF	—	—	100	ns
	t _{XD4}		—	—	100	
PCMOUT 動作遅延時間	t _{DDO}	パワーダウン解除後の動作開始時間	—	4	—	ms
AOUTn/TOUTn 信号出力遅延時間	t _{DAO}	電源投入後のベースバンド信号出力開始時間	—	4	—	ms
シリアルポート I/O 設定時間	t ₁	Cload = 50 pF	50	—	—	ns
	t ₂		50	—	—	ns
	t ₃		50	—	—	ns
	t ₄		50	—	—	ns
	t ₅		100	—	—	ns
	t ₆		50	—	—	ns
	t ₇		50	—	—	ns
	t ₈		—	—	50	ns
	t ₉		50	—	—	ns
	t ₁₀		50	—	—	ns
	t ₁₁		—	—	50	ns
EXCK クロック周波数	f _{EXCK}	EXCK	0.5	—	10	MHz
SLIC インタフェース遅延時間	t ₂₀		—	—	200	ns
	t ₂₁		—	20	—	μs
	t ₂₂		—	—	200	ns
	t ₂₃		—	—	200	ns
	t ₂₄		—	—	225	ms

タイミングチャート

送信タイミング (8 ビット PCM モード (LIN ビット = "0") 選択時の例)

- ロングフレーム同期モード (SHORT ビット = "0")



- ショートフレーム同期モード (SHORT ビット = "1")

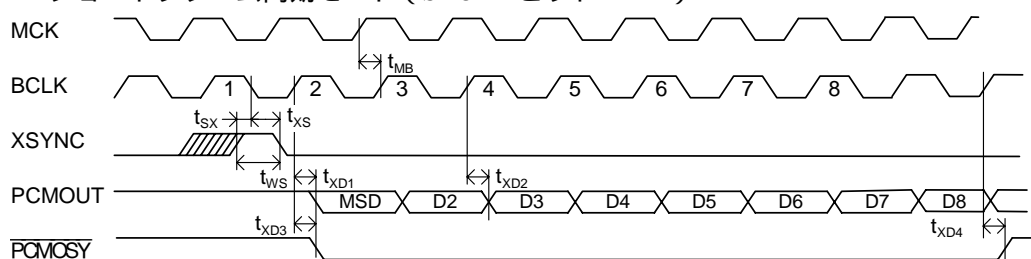
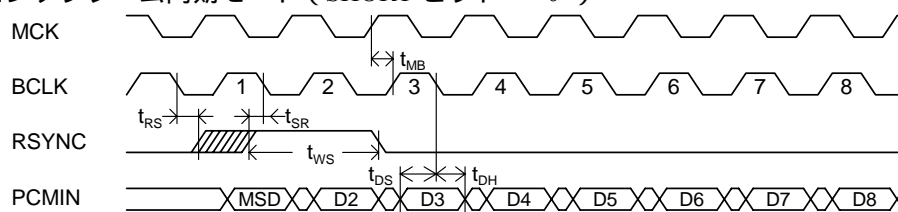


図 1 送信側タイミングチャート

受信タイミング (8 ビット PCM モード (LIN ビット = "0") 選択時の例)

- ロングフレーム同期モード (SHORT ビット = "0")



- ショートフレーム同期モード (SHORT ビット = "1")

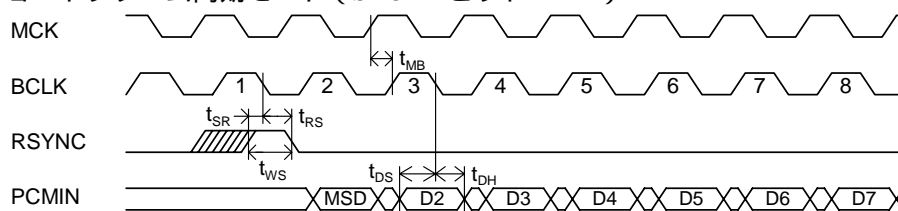
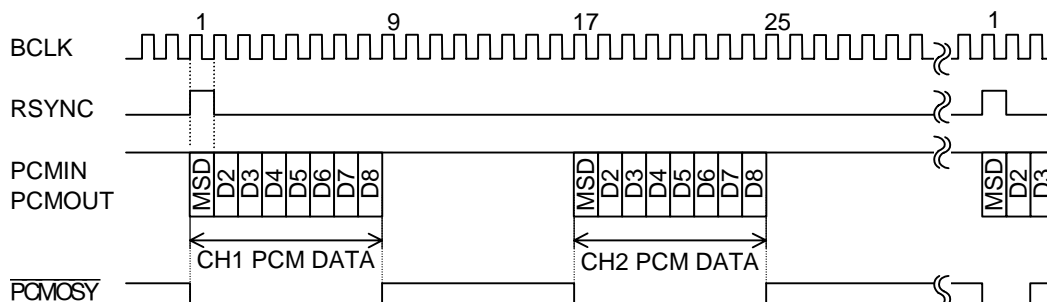


図 2 受信側タイミングチャート

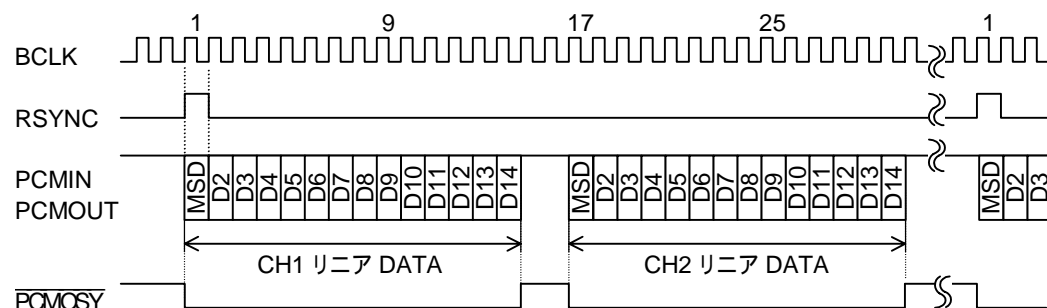
注: 14 ビットリニア PCM モード (LIN ビット = "1") 時でも、1 同期信号 (RSYNC および XSYNC) あたりの PCMIN および PCMOUT 入出力データビット数が異なるだけで、上図のタイミング規定は有効です。

PCM インタフェースビット構成

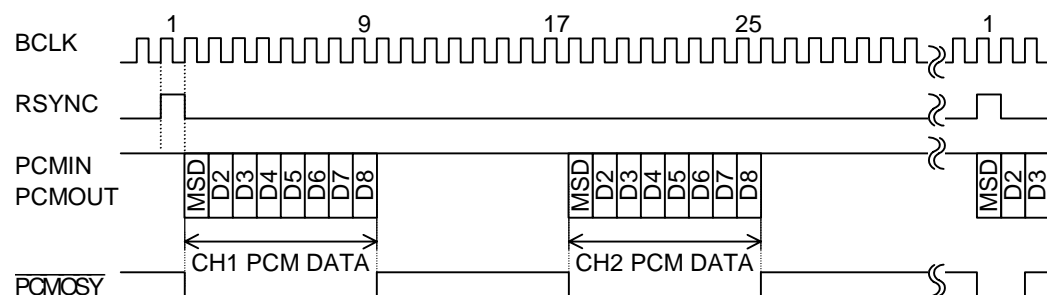
- 8 ビット PCM モード (LIN ビット = “0”) およびロングフレーム同期モード (SHORT ビット = “0”)



- 14 ビットリニア PCM モード (LIN ビット = “1”) およびロングフレーム同期モード (SHORT ビット = “0”)



- 8 ビット PCM モード (LIN ビット = “0”) およびショートフレーム同期モード (SHORT ビット = “1”)



- 14 ビットリニア PCM モード (LIN ビット = “1”) およびショートフレーム同期モード (SHORT ビット = “1”)

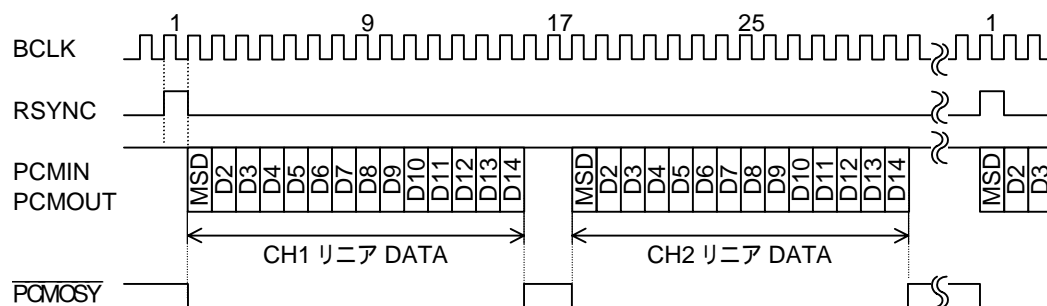


図 3 PCM インタフェースビット構成

SGC、PCMOUT および AOUT 出力タイミング

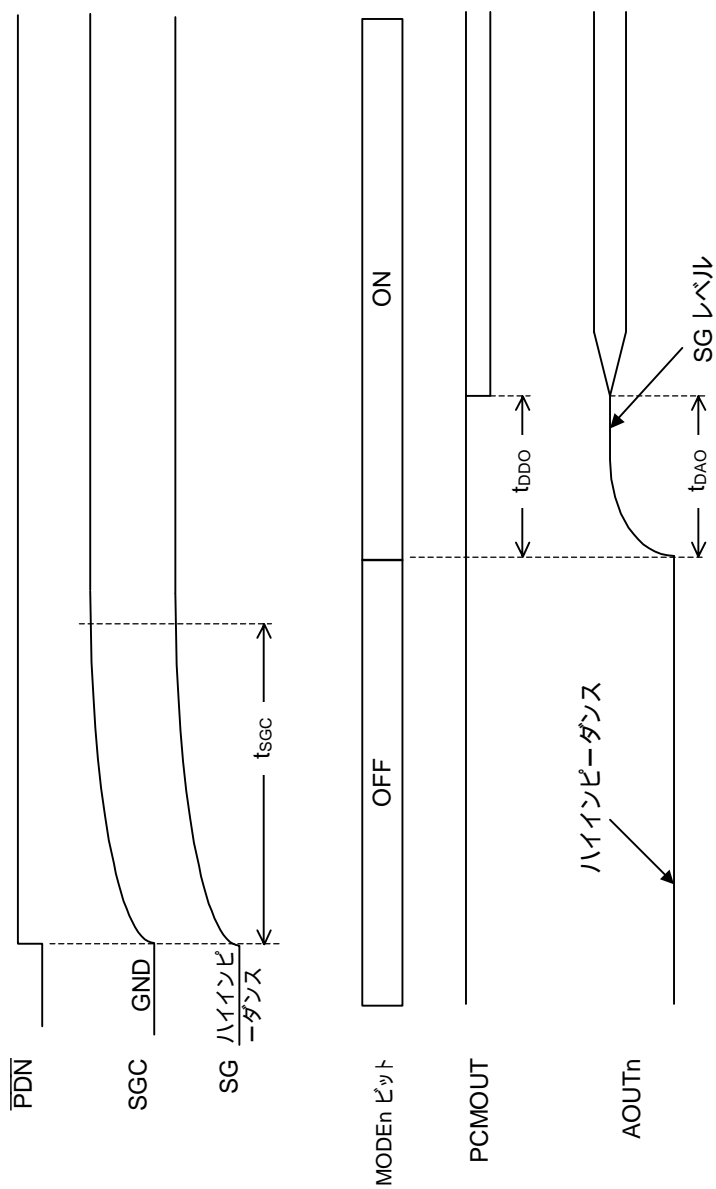


図4 SGC、PCMOUT、およびAOUT 出力タイミング

シリアル制御ポートインタフェース

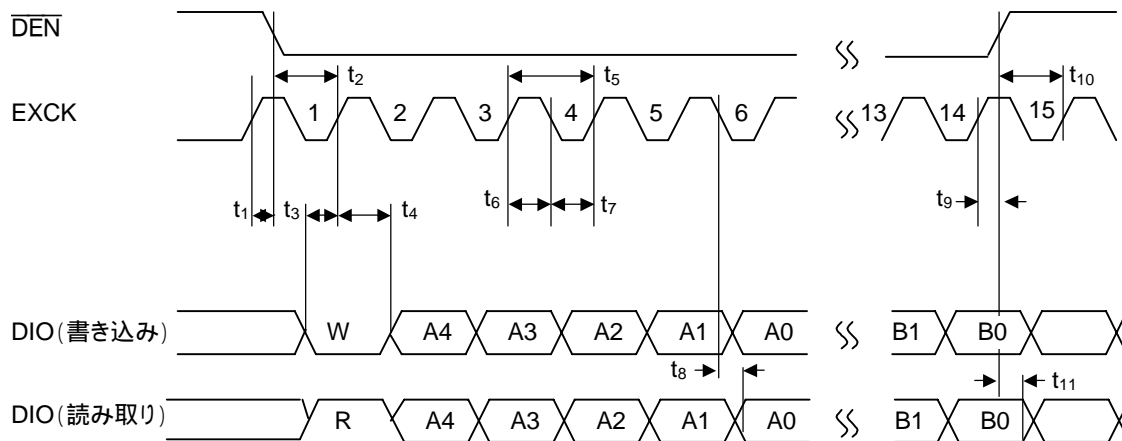
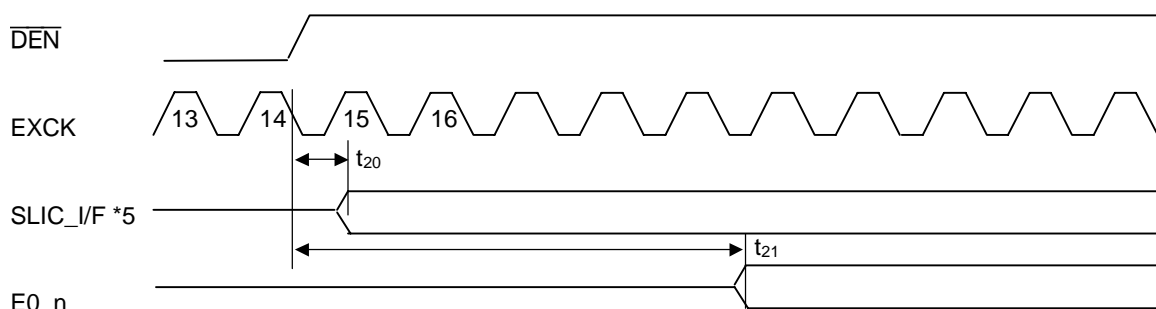


図5 シリアル制御ポートインタフェース

SLIC インタフェースタイミング



*5 SLIC_I/F = F2_n, F1_n, F0_n, \overline{SWCn} , BSELn

図6 (SLIC への) SLIC インタフェースタイミング 1

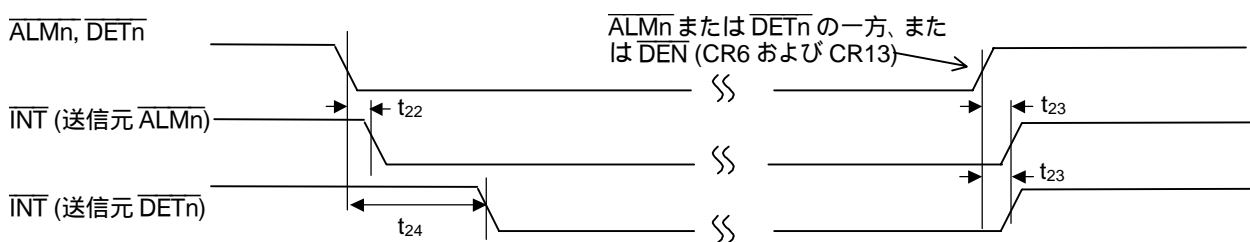


図7 (SLIC からの) SLIC インタフェースタイミング 2

* \overline{INT} は以下のいずれかの場合に解放されます。

- (1) (PDN 端子 = "H" の場合) "L" になっていた \overline{ALMn} または \overline{DETn} (最大計 4 端子が対象) の内、1 端子でも "H" に変化した場合。
- (2) (PDN 端子 = "L" の場合) "L" になっていた \overline{ALMn} および \overline{DETn} の全端子 (最大計 4 端子が対象) が "H" に変化した場合。
- (3) SLIC1 制御レジスタ (CR6) と SLIC2 制御レジスタ (CR13) の両方が MCU によって読み取られた場合。

機能説明

端子機能説明

AIN1N, AIN1P, AIN2N, AIN2P, GSX1, GSX2

AINnN 端子、および AINnP 端子は、チャンネル n 用の送信アナログ信号入力端子です。

GSXn 端子は、チャンネル n 用の送信アナログ信号入力レベル調整端子です。

AINnN 端子、および AINnP 端子、オペアンプ用の反転入力および非反転入力端子です。

GSXn 端子はオペアンプの出力に接続されています。送信アナログ信号入力レベルの調整方法については、図 8 を参照してください。

AINnN 端子、および AINnP 端子を使用しない場合は、AINnN 端子は GSXn 端子に、AINnP 端子は SGC 端子に接続してください。パワーダウン時には、GSXn 端子の出力はハイインピーダンスになります。

GSXn 端子電位が 2.226 Vpp となるようなアナログ信号が入力された場合、デジタル出力は +3.00dBm0 となります。

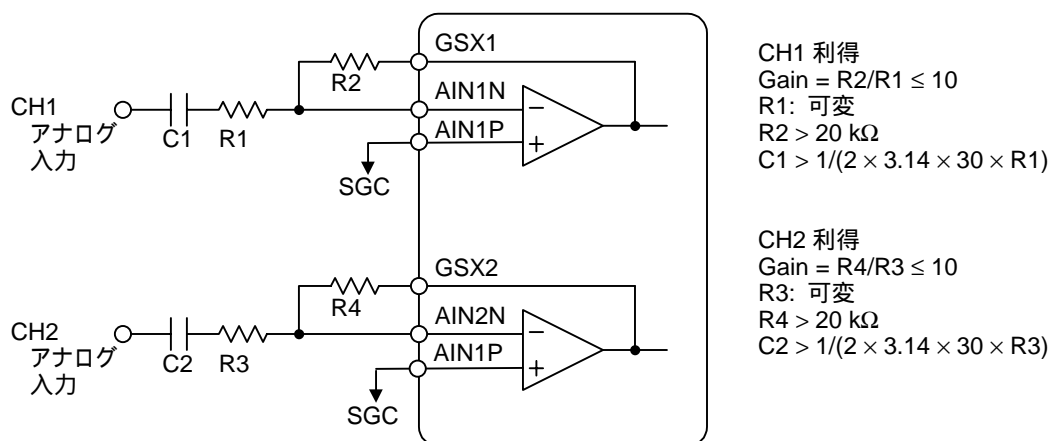


図 8 アナログ入力設定例

AOUT1N, AOUT1P, AOUT2N, AOUT2P

AOUTnN 端子および AOUTnP 端子はチャンネル n からの受信アナログ信号出力端子で、20 kΩ以上の負荷を駆動できます。

AOUT1 SEL ビット(CR7-B7/CR14-B7)が“0”の場合、AOUTnP 端子がチャンネル n からの受信アナログ信号をシングルエンド出力し、AOUTnN 端子はハイインピーダンスになります。

AOUT1 SEL ビット(CR7-B7/CR14-B7)が“1”の場合、AOUTnN 端子および AOUTnP 端子はチャンネル n からの受信アナログ信号を差動出力します。

PCM デジタル信号の最大値が PCMIN 端子に入力された場合、各端子の出力信号の電圧レベルは、信号グランド電圧(SG)を中心に 3.4 Vpp となりますので、差動出力の場合、AOUTnN 端子 - AOUTnP 端子間で 6.8 Vpp の振幅が取れることになります。

パワーダウン時、および、当該チャンネルがパワーセーブ時には、これらの端子の出力は、ハイインピーダンスになります。

TOUT1, TOUT2

TOUT_n 端子はチャンネル n 用のトーンのアナログ出力端子です。

出力信号の最大振幅は、信号グランド電圧 (SG) を中心に 2.5 V_{pp} です。

パワーダウン時、および、当該チャンネルがパワーセーブ時には、これらの端子の出力は、ハイインピーダンスになります。

VDDA, VDDD

V_{DDA} 端子は LSI 内部のアナログ回路用+5V 電源電圧入力端子、V_{DDD} 端子は LSI 内部のデジタル回路用+5V 電源電圧入力端子です。

V_{DDA} 端子と AG 端子の間、および、V_{DDD} 端子と DG 端子の間に電源ノイズ防止の為、10 μF 程度の電解コンデンサと 0.1 μF 程度の高周波数特性の良いバイパスコンデンサを並列に接続してください。

LSI 内部では、V_{DDA} と V_{DD} は分離されています。V_{DDA} 端子と V_{DDD} 端子は基板上で最短で接続してください。

AG, DG

AG 端子はアナログ信号回路用、DG 端子はデジタル信号回路用グランドです。

LSI 内部では、DG と AG は分離されています。DG 端子と AG 端子は基板上で最短で接続してください。

DG と AG は LSI 内部で分離されています。DG 端子と AG 端子は、基板上で最短で接続し、低インピーダンスでシステムグランドと接続してください。

SGC

アナロググランド電位生成内部回路用バイパスコンデンサ接続端子で、LSI 内部回路専用の端子です。出力インピーダンスは約 50 kΩ です。AG 端子と SGC 端子の間に、0.1 μF の高周波数特性の良いコンデンサを接続してください。

パワーダウン時には AG と同電位となります。

SG

アナログ信号のグランド電位出力端子です。

通常動作時には、SGC 端子と同じ 2.4 V を出力し、パワーダウン時にはハイインピーダンスになります。

MCK

マスタクロック入力端子です。2.048 MHz、もしくは、4.096 MHz のクロックを入力してください。

電源投入後、選択したマスタクロック周波数に合わせ、MCKSEL ビット (CR0-B5) に所定の値を書き込んで下さい。本端子に入力されるマスタクロック周波数と MCKSEL ビット (CR0-B5) により選択されている周波数が異なっている期間中でも、パワーダウン制御回路と MCU インタフェース部は正常に動作し、レジスタの書き込みと読み出しとパワーダウン制御が可能ですが、その他の機能は正常に動作しません。電源投入時のシーケンスについては、別掲の「推奨パワーオン動作」の項を参照してください。

BCLK

PCMIN 信号および PCMOUT 信号用のシフトクロック信号入力端子で、その入力周波数が PCM データの転送レートとなります。

MCK と同じクロック源で作り出した位相同期の取れた 256 ~ 4069 kHz の範囲のクロックを入力してください。MCK と BCLK の位相差については、図 1 を参照してください。

RSYNC

受信側同期クロック信号入力端子です。

PCMIN 信号は本クロックに同期して取り込まれます。MCK と同じクロック源で作り出した位相同期の取れた 8 kHz のクロックを入力してください。MCK と RSYNC の位相差については、図 2 を参照してください。

XSYNC

送信側同期クロック信号入力端子です。

PCMOUT 信号は本クロックに同期して出力されます。MCK と同じクロック源で作出した位相同期の取れた 8 kHz のクロックを入力してください。MCK と XSYNC の位相差については、図 1 を参照してください。

PCMIN

PCM データ入力端子です。

この端子へ入力されたシリアル PCM データは、RSYNC 信号および BCLK 信号と同期してアナログ信号に変換され、チャンネル n のアナログ信号が AOUTn 端子からの出力されます。

PCM データの先頭 (CH1 の MSD) は、ロングフレーム同期モード (SHORT ビット = "0") では RSYNC の立上りで、ショートフレーム同期モード (SHORT = "1") では、RSYNC の立下りで識別されます。

PCMOUT

PCM データ出力端子です。

BCLK 信号の立上りに同期して CH1 の MSD ビットから順に PCM データを出力します。

但し、PCM データの先頭 (CH1 の MSB) だけは、BCLK と XSYNC 間のタイミングによっては、ロングフレーム同期モード (SHORT ビット = "0") で XSYNC 信号の立上りに、ショートフレーム同期モード (SHORT ビット = "1") では XSYNC 信号の立下りに同期して出力される場合があります。

また、この端子は、パワーダウン時にハイインピーダンスになります。

オープンドレイン形式の出力端子ですので、プルアップ抵抗が必要です。

PCMOSEY

PCMOUT 端子より PCM データが出力されている期間中であることを示すフラグ出力端子です。

パワーセーブ時の 0 レベル PCM データ出力期間を含め、PCM データ出力期間中、本端子出力は "L" レベルとなります。一方、パワーダウン時を含め、PCM データ未出力期間中、本端子出力は "H" レベルとなります。この信号は、バックプレーンラインドライバの TRI-STATE イネーブルを制御します。

表 1 8 ビット PCM モード (LIN ビット = "0") における出力符号表

入力/出力 レベル	PCMIN/PCMOUT															
	ALAW ビット = "0" (μ -law)								ALAW ビット = "1" (A-law)							
	MSD	D2	D3	D4	D5	D6	D7	D8	MSD	D2	D3	D4	D5	D6	D7	D8
+フルスケール	1	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0
+0	1	1	1	1	1	1	1	1	1	1	0	1	0	1	0	1
-0	0	1	1	1	1	1	1	1	0	1	0	1	0	1	0	1
-フルスケール	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0

表 2 14 ビットリニア PCM モード (LIN ビット = "1") における出力符号表

入力/出力 レベル	PCMIN/PCMOUT													
	MSD	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14
+フルスケール	0	1	1	1	1	1	1	1	1	1	1	1	1	1
+1	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
-フルスケール	1	0	0	0	0	0	0	0	0	0	0	0	0	0

PDN

パワーダウン制御信号入力端子です。

“H”レベル入力では通常動作となり、“L”レベル入力では、CH1 回路と CH2 回路の両方がパワーダウン状態になります。但し、パワーダウン状態となっても、直前のコントロールレジスタ設定値は保持され、又、書き込みも読み出しも通常通り行え、INT 端子出力も SLIC 側の出力に合わせ変化します。但し、MODEn ビット(CR-B1, 0)によるパワーセーブ中でも、本端子への入力を”H”レベルとすることでパワーダウン状態への移行が可能です。

RESE

コントロールレジスタのリセット用入力端子です。

本端子への “L”レベル入力では、全コントロールレジスタがリセットされ、初期値 = “0”になります。通常動作時には、“H”レベルを入力してください。

表 3 8 ビット PCM モード (LIN ビット = “0”) での電源制御による PCMOUT の状態

PDN 端子	MODE1 ビット	MODE0 ビット	ALAW ビット	CH2 PCM データ	CH1 PCM データ
L	0/1	0/1	0/1	Hi-Z *5	Hi-Z *5
H	0	0	0	1 1 1 1 1 1 1 1	1 1 1 1 1 1 1 1
			1	1 1 0 1 0 1 0 1	1 1 0 1 0 1 0 1
H	0	1	0	1 1 1 1 1 1 1 1	動作
			1	1 1 0 1 0 1 0 1	動作
H	1	0	0	動作	1 1 1 1 1 1 1 1
			1	動作	1 1 0 1 0 1 0 1
H	1	1	0	動作	動作
			1	動作	動作

表 4 14 ビットリニア PCM モード (LIN ビット= “1”) での電源制御による PCMOUT の状態

PDN 端子	MODE1 ビット	MODE0 ビット	ALAW ビット	CH2 PCM データ	CH1 PCM データ
L	0/1	0/1	0/1	Hi-Z *5	Hi-Z *5
H	0	0		全て“0”	全て“0”
H	0	1		全て“0”	動作
H	1	0		動作	全て“0”
H	1	1		動作	動作

表 5 電源制御によるアナログ出力の状態

PDN 端子	MODE 1 ビット	MODE 0 ビット	GSX1 端子	GSX2 端子	AOUT1 端子	AOUT2 端子	SG 端子	SGC 端子	MCU インタフェース
L	0/1	0/1	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	AG レベル*6	動作
H	0	0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	AG レベル*6	動作
H	0	1	動作	Hi-Z	動作	Hi-Z	動作	動作	動作
H	1	0	Hi-Z	動作	Hi-Z	動作	動作	動作	動作
H	1	1	動作	動作	動作	動作	動作	動作	動作

*5 データは、外部プルアップ抵抗により”H”になります。

*6 出力インピーダンスは約 50 kΩ。

F2_n, F1_n, F0_n

SLIC1 および SLIC2 が Intersil RSLIC™ シリーズである場合に使用する SLIC のモード制御信号出力端子です。これらの端子出力レベルは、F2_n ビット、F1_n ビット、F0_n ビット (CR6-B7 ~ B5、および、CR13-B7 ~ B5) により決定します。

これらの出力信号を SLIC デバイスの同じ名称の端子へ直接入力し、SLIC の動作モードを制御できます。表 6 に SLIC デバイスの動作モードを示します。パワーダウン時 (PDN 端子 = “L”) でも、これらの端子は有効です。

E0_n

SLIC1 および SLIC2 が Intersil RSLIC™ シリーズである場合に使用する SLIC の検出対象指示出力端子です。本端子出力レベルは、E0_n ビット (CR6-B2、および、CR13-B2) により決定します。

実際の SLIC デバイスでの検出対象は、F2_n 端子、F1_n 端子、F0_n 端子、E0_n 端子の出力レベルの組み合わせにより決定されます。表 6 を参照してください。

又、本端子の出力レベルは、E0_n ビット (CR6-B2、および、CR13-B2) 書き換え後、20 μs 後に変化するようにになっています (ホールドタイム)。図 6 (SLIC への) SLIC インタフェースタイミング 1 を参照してください。

本端子出力信号を SLIC デバイスの同じ名称の端子へ直接入力できます。

パワーダウン時 (PDN 端子 = “L”) でも、本端子は有効です。ただし、パワーダウン状態の間ホールドタイムは無視されます。

表 6 SLIC デバイス動作モード

動作モード	F2	F1	F0	E0 = 1	E0 = 0	説明
低電力スタンバイ	0	0	0	SHD	GKD	スタンバイモード
順方向オン	0	0	1	SHD	GKD	順方向バッテリーループ供給
不平衡呼び出し	0	1	0	RTD	RTD	不平衡呼び出しモード
逆方向オン	0	1	1	SHD	GKD	逆方向バッテリーループ供給
呼び出し	1	0	0	RTD	RTD	平衡呼び出しモード
順方向ループバック	1	0	1	SHD	GKD	テストモード
チップオープン	1	1	0	SHD	GKD	PBX タイプ用
電源否定	1	1	1	n/a	n/a	デバイスシャットダウン

SHD: フックスイッチ検出

RTD: 呼び出しトリップ検出

GKD: グランドキー検出

BSELn

SLIC1 および SLIC2 が Intersil RSLIC™ シリーズである場合に使用する SLIC のバッテリー選択出力端子です。

本端子出力レベルは、BSELn ビット (CR6-B3、および、CR13-B3) で決定します。本端子出力信号を SLIC デバイスの同じ名称の端子へ直接入力し、SLIC デバイスのバッテリー選択機能を制御します。“L”レベルの場合、SLIC デバイスの低位バッテリーが選択されます。“H”レベルの場合、SLIC デバイスの高位バッテリーが選択されます。パワーダウン時 (PDN 端子 = “L”) でも、本端子は有効です。

SWCn

SLIC1 および SLIC2 が Intersil RSLIC™ シリーズである場合に使用する SLIC の汎用多目的スイッチ (uncommitted switch) 制御出力端子です。

本端子出力レベルは、 $\overline{\text{SWCn}}$ ビット (CR6-B4、および、CR13-B4) で決定してください。本端子出力信号を SLIC デバイスの同じ名称の端子へ直接入力し、SLIC デバイスの SW+、SW-両出力端子間デバイス側にあるスイッチのオン・オフ制御を行います。“L”レベルでスイッチがオンになり、“H”レベルでオフになります。パワーダウン時 ($\overline{\text{PDN}}$ 端子 = “L”) でも、本端子は有効です。

DETn

SLIC1 および SLIC2 が Intersil RSLIC™ シリーズである場合に使用する入力端子で、SLIC デバイスの同じ名称の出力端子と直接接続します。本端子への入力が“L”レベルの時、 $\overline{\text{DETn}}$ ビット (CR6-B1、および、CR13-B1) は“0”となり、“H”レベルの時、 $\overline{\text{DETn}}$ ビット (CR6-B1、および、CR13-B1) は“1”となります。

Intersil RSLIC™ シリーズの SLIC デバイスには、オフフック、リングトリップ、または、グランドキーを検出した際に、通常、“H”レベルを出力している SLIC デバイスの $\overline{\text{DET}}$ 端子出力レベルを“L”レベルに変化させる機能が備わっています。従って、ML7033 の $\overline{\text{DETn}}$ ビット (CR6-B1、および、CR13-B1) を読み出すことにより、SLIC デバイスのオフフック、リングトリップ、または、グランドキーの検出を検知することが可能となります。尚、オフフック、リングトリップ、または、グランドキーの内のいずれの状態を SLIC デバイスに検知させるかは、ML7033 の F2_n ビット、F1_n ビット、F0_n ビット、E0_n ビットの組み合わせにより決定できます。

又、ML7033 は、SLIC デバイスからの信号上のグリッジなどによる誤検出を防止するため、ある一定の時間以上継続して本端子への入力が“H”レベル “L”レベルへと変化して初めて $\overline{\text{DETn}}$ ビット (CR6-B1、および、CR13-B1) や $\overline{\text{INT}}$ 端子出力を変化させるデバウスタイマ機能を有しています。デバウスタイマの時間設定については、 $\overline{\text{DETnTIM3}} \sim \overline{\text{DETnTIM0}}$ ビット (CR4-B7 ~ B0) の項を参照してください。

尚、本端子はパワーダウン時 ($\overline{\text{PDN}}$ 端子 = “L”) でも有効ですが、パワーダウン時には、デバウスタイマは無効となります。

本端子未使用時には、本端子は V_{DD} に固定してください。

ALMn

SLIC1 および SLIC2 が Intersil RSLIC™ シリーズである場合に使用する入力端子で、SLIC デバイスの同じ名称の出力端子と直接接続します。本端子への入力が、“L”レベルの時 $\overline{\text{ALMn}}$ ビット (CR6-B0、および、CR13-B0) は“0”となり、“H”レベルの時“1”となります。

Intersil RSLIC™ シリーズの SLIC デバイスには、チップ温度が安全動作温度を超過した場合、自動的にパワーダウン状態に移行すると共に、通常、“H”レベルを出力している SLIC デバイスの $\overline{\text{ALM}}$ 端子出力レベルを“L”レベルに変化させるサーマルシャットダウンアラーム機能が備わっています。

従って、ML7033 の $\overline{\text{ALMn}}$ ビット (CR6-B0、および、CR13-B0) を読み出すことにより、SLIC デバイスが通常動作状態にあるのか、サーマルシャットダウン中であるのかを検知することが可能です。

尚、本端子はパワーダウン時 ($\overline{\text{PDN}}$ 端子 = “L”) でも有効です。

本端子未使用時には、本端子は V_{DD} に固定してください。

$\overline{\text{INT}}$

SLIC1 および SLIC2 が Intersil RSLIC™ シリーズである場合、SLIC デバイスの $\overline{\text{ALM}}$ 端子または $\overline{\text{DET}}$ 端子が“L”となったことを知らせる割り込み発生表示出力端子です。

Intersil RSLIC™ シリーズの SLIC デバイスには、チップ温度が安全動作温度を超過した場合、自動的にパワーダウン状態に移行すると共に、通常、“H”レベルを出力している SLIC デバイスの $\overline{\text{ALM}}$ 端子出力レベルを“L”レベルに変化させるサーマルシャットダウンアラーム機能や、オフフック、リングトリップ、または、グランドキーを検出した際に、通常、“H”レベルを出力している SLIC デバイスの $\overline{\text{DET}}$ 端子出力レベルを“L”レベルに変化させる機能が備わっています。

従って、ML7033 の $\overline{\text{INT}}$ 端子出力の“L”レベルへの変化を監視し、ML7033 の $\overline{\text{DETn}}$ ビット (CR6-B1、および、CR13-B1) と $\overline{\text{ALMn}}$ ビット (CR6-B0、および、CR13-B0) を読み出すことにより、SLIC デバイスの状態を検知することが可能となります。

本端子出力は、通常、“H”レベルですが、以下の場合に、“L”レベルに変化します。

- (1) ($\overline{\text{PDN}}$ 端子 = “H”の場合) “H”になっていた $\overline{\text{ALMn}}$ または $\overline{\text{DETn}}$ (最大計 4 端子が対象) の内、1 端子でも“L”に変化した場合。
- (2) ($\overline{\text{PDN}}$ 端子 = “L”の場合) $\overline{\text{ALMn}}$ および $\overline{\text{DETn}}$ の全 4 端子が“H”の場合において、そのうちの 1 端子でも“L”に変化した場合。

尚、 $\overline{\text{PDN}}$ 端子が“L”レベルの場合、 $\overline{\text{DETn}}$ 端子入力に対するデバウンスタイマは動作しません。また、デバウンスタイマは、 $\overline{\text{DETn}}$ 端子への入力レベルの“H” “L”へ変化する場合にのみ働く機能ですのでご注意ください。

また、“L”レベル出力となっている $\overline{\text{INT}}$ 端子は次のいずれかの場合に“H”レベル出力に解放されます。図 7 を参照してください。

- (1) ($\overline{\text{PDN}}$ 端子 = “H”の場合) “L”になっていた $\overline{\text{ALMn}}$ または $\overline{\text{DETn}}$ (最大計 4 端子が対象) の内、1 端子でも“H”に変化した場合。
- (2) ($\overline{\text{PDN}}$ 端子 = “L”の場合) “L”になっていた $\overline{\text{ALMn}}$ および $\overline{\text{DETn}}$ の全端子 (最大計 4 端子が対象) が“H”に変化した場合。
- (3) SLIC コントロールレジスタ (CR6) と SLIC2 コントロールレジスタ (CR13) の両方が MCU によって読み取られた場合。

 $\overline{\text{DEN}}$, EXCK, DIO

MCU インタフェースのシリアルコントロール端子です。

外部 MCU よりこれらの端子を用いてデータの読み出し、または、書き込みを行います。 $\overline{\text{DEN}}$ はイネーブル制御信号入力端子、EXCK はデータシフト用クロック入力端子、DIO はアドレスとデータの入出力兼用端子です。図 9 に入力または出力のタイミングチャートを示します。EXCK には、15 パルスを超える連続クロックを使用してください。

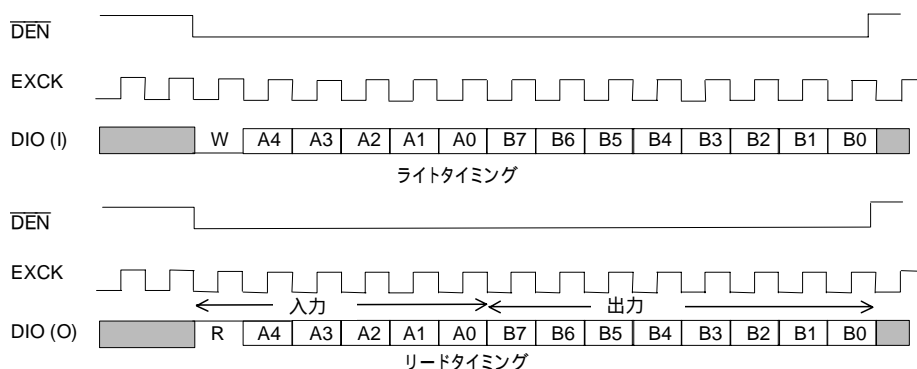


図 9 MCU インタフェースタイミングチャート

CIDATA1、CIDATA2

Caller ID トーン生成用データ入力端子です。

CIDATAN にチャンネル n のデータを入力します。

CIDCHnON ビット(CR1-B1、または、CR1-B0) = “1”の際に Caller ID トーン発生が可能となり、本端子への入力信号が、CIDFMT ビット(CR1-B2)の設定に基づき、ITU-T V.23 または Bell202 のいずれかの方式で変調され、一般的には、AOUTnP 端子より外部へ出力します。実際の出力先端子は、CHnTG2 TX ビット(CR7-B6、または、CR14-B6)、CHnTGOUTn ビット(CR7-B5、または、CR14-B5)、AOUTn SEL ビット(CR7-B7、または、CR14-B7)により選択可能です。

また、Caller ID トーンの出カレベルは CHnTG1LVn ビット(CR9-B7 ~ B1、または、CR16-B7 ~ B1)の設定によって変更できます。

尚、本端子を使用しない場合は、入力を”H”か”L”に固定してください。

TEST

内部テストの入力端子です。

通常動作中は“L”レベルに設定してください。

電源投入時の推奨手順

電源投入時の推奨手順を以下に示します。

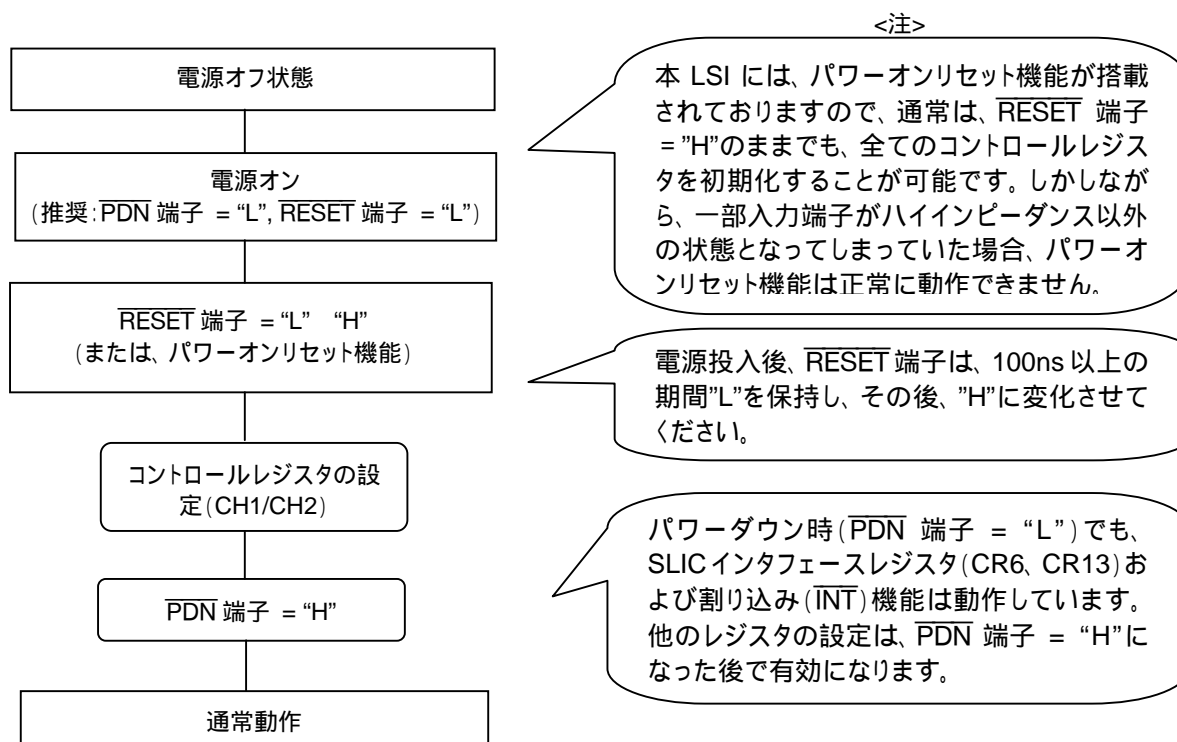


図 10 パワーオンフローチャート

コントロールレジスタの機能説明

• CR0 (基本動作モード)

	B7	B6	B5	B4	B3	B2	B1	B0
CR0	FILTER1 SEL	FILTER2 SEL	MCKSEL	SHORT	LIN	ALAW	MODE1	MODE0
初期値	0	0	0	0	0	0	0	0

- B7 ... CH1 送受信フィルタ選択 0: ITU-T_G.714 フィルタ 1: 高速モデム用広帯域フィルタ
- B6 ... CH2 送受信フィルタ選択 0: ITU-T_G.714 フィルタ 1: 高速モデム用広帯域フィルタ
- B5 ... MCK 周波数選択 0: 2.048 MHz 1: 4.096 MHz
- B4 ... フレーム同期形式選択 0: ロングフレーム同期 1: ショートフレーム同期
図3を参照してください。
- B3 ... PCM インタフェースモード選択;
0: 8ビットPCMモード 1: 14ビットリニア(2の補数)PCMモード
“1”選択時には、ALAWビット(CR0-B2)の設定は無視されます。
- B2 ... PCM 圧伸則選択 0: μ -law 1: A-law
LINビット(CR0-B3) = “1”の場合、本ビットの設定は無視されます。
- B1, B0 ... パワーセーブモード設定 0: パワーセーブ 1: 通常動作
MODE1ビットがCH2に、MODE0がCH1に対応します。
パワーセーブ時には、PCMOUT 端子出力段を除き当該音声チャンネル部の電源がオフ状態となります。
P \overline{D} N 端子により制御されるパワーダウンとの相違点は以下の通り。
 - チャンネル別の制御が可能
 - 音声チャンネル部でも、PCMOUT 端子出力段のみは動作し、パワーセーブ中、同端子よりゼロ相当のPCMデータを出力
 - デバウンスタイマ、ホールドタイマは有効
尚、パワーダウン同様、コントロールレジスタの初期化は行わず、期間中もコントロールレジスタの書き込み、読み出しが行えます。
また、P \overline{D} N 端子によるパワーダウンは、本ビットによるパワーセーブに優先します。

表7 CH1およびCH2のモード設定

MODE1	MODE0	P \overline{D} N	R \overline{E} SET	チャンネルの電源		コントロール レジスタ
				CH2	CH1	
—	—	0/1	0	OFF	OFF	初期値
—	—	0	1	OFF	OFF	使用可
0	0	1	1	OFF	OFF	使用可
0	1	1	1	OFF ^{*7}	ON	使用可
1	0	1	1	ON	OFF ^{*7}	使用可
1	1	1	1	ON	ON	使用可

*7 PCMOUT 端子部出力段は ON

• CR1 (トーンジェネレータおよび Caller ID トーン制御)

	B7	B6	B5	B4	B3	B2	B1	B0
CR1	CH2TG ON	CH1TG ON				CIDFMT	CID CH2ON	CID CH1ON
初期値	0	0	0	0	0	0	0	0

- B7 ... CH2 用トーンジェネレータ動作制御 0 : OFF 1 : ON
- B6 ... CH1 用トーンジェネレータ動作制御 0 : OFF 1 : ON
- B5 ~ B3 ... 未使用 (初期値を変更禁止)
- B2 ... Caller ID トーン変調方式選択
 0 : ITU-T V.23 フォーマット (1 : 1300 Hz, 0 : 2100 Hz)
 1 : Bell 202 フォーマット (1 : 1200 Hz, 0 : 2200 Hz)
 本ビットにより選択された変調フォーマットは、CH1、CH2 共通で、チャンネル毎に別々のフォーマットを指定することはできません。
- B1 ... CH2 用 Caller ID ジェネレータ動作制御 0 : OFF 1 : ON
 CH2TGON ビット (CR1-B7) の設定に関わらず、本ビットが”1”であれば、CIDATA2 端子への入力に従い、変調された Caller ID トーンが出力されます。
 尚、本ビットが”1”の場合、CH2TG1LVn ビット (CR16-B7 ~ B1) でのレベル設定は有効ですが、CH2TG1_n ビット (CR16-B0、および、CR17-B7 ~ B0)、CH2RING ビット (CR11-B7) および CH2TG1TRPn ビット (CR11-B6 ~ B4) での周波数等の設定は無視されます。
- B0 ... CH1 用 Caller ID ジェネレータ動作制御 0 : OFF 1 : ON
 CH1TGON ビット (CR1-B6) の設定に関わらず、本ビットが”1”であれば、CIDATA1 端子への入力に従い、変調された Caller ID トーンが出力されます。
 尚、本ビットが”1”の場合、CH1TG1LVn ビット (CR9-B7 ~ B1) でのレベル設定は有効ですが、CH1TG1_n ビット (CR9-B0、および、CR11-B7 ~ B0)、CH1RING ビット (CR11-B3) および CH1TG1TRPn ビット (CR11-B2 ~ B0) での周波数等の設定は無視されます。

• CR2 (パルスメタリングトーン制御)

	B7	B6	B5	B4	B3	B2	B1	B0
CR2	PMG2 FRQ	PMG2 LV1	PMG2 LV0	PMG2 TOUT2	PMG1 FRQ	PMG1 LV1	PMG1 LV0	PMG1 TOUT1
初期値	0	0	0	0	0	0	0	0

B7 ... CH2 用パルスメタリングトーン周波数選択 0 : 12 kHz 1 : 16 kHz

B6, B5 ... CH2 用パルスメタリングトーンレベル設定
これらのビットの組み合わせにより、パルスメタリングトーンの実出力レベルを設定します。
(B6, B5): (0, 0) = OFF,
(0, 1) = 0.5 Vpp
(1, 0) = 1.0 Vpp
(1, 1) = 1.5 Vpp

尚、パルスメタリングトーンは、図 11 に示すように、その起動より次第にレベルが上がり、10ms 後に本ビットの組み合わせにより指定したレベルに到達します。また、(0,0)を指定し、出力されていたパルスメタリングトーンを停止させる場合にも、次第にレベルが下がり、10ms 後にゼロとなるように設計されています。

(0,0)の指定後、10 ms 間は、本ビットの書き換えは行わないで下さい。

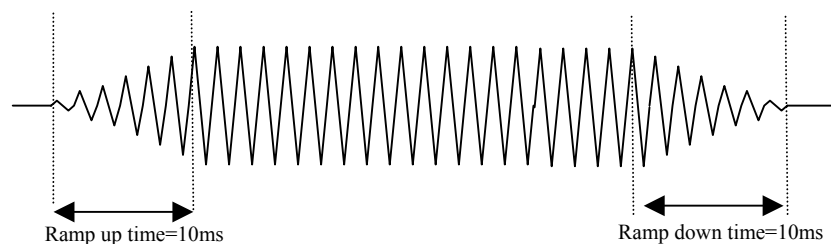


図 11 パルスメタリングトーン波形

B4 ... CH2 用パルスメタリングトーン出力端子選択
0 : AOUT2 端子 (音声信号と加算) 1 : TOUT2 端子

B3 ... CH1 用パルスメタリングトーン周波数選択
0 : 12 kHz 1 : 16 kHz

B2, B1 ... CH1 用パルスメタリングトーンレベル設定
(B6, B5): (0, 0) = OFF,
(0, 1) = 0.5 Vpp,
(1, 0) = 1.0 Vpp,
(1, 1) = 1.5 Vpp

尚、パルスメタリングトーンは、図 11 に示すように、その起動より次第にレベルが上がり、10ms 後に本ビットの組み合わせにより指定したレベルに到達します。また、(0,0)を指定し、出力されていたパルスメタリングトーンを停止させる場合にも、次第にレベルが下がり、10ms 後にゼロとなるように設計されています。

(0,0)の指定後、10ms 間は、本ビットの書き換えは行わないで下さい。

B0 ... CH1 用パルスメタリングトーン出力端子選択
0 : AOUT1 端子 (音声信号と加算) 1 : TOUT1 端子

• CR3 (タイムスロット割り当て制御)

	B7	B6	B5	B4	B3	B2	B1	B0
CR3	TSAE	TSAC	TSA5	TSA4	TSA3	TSA2	TSA1	TSA0
初期値	0	0	0	0	0	0	0	0

* CR3 は書き込み専用レジスタです。

- B7 ... タイムスロット割り当て制御
 0: タイムスロット割り当て OFF 1: タイムスロット割り当て ON
 OFF (TSAE ビット = "0") の場合、CH1 はスロット 0 に、CH2 はスロット 2 にデフォルト設定として割り当てられます。
- B6 ... タイムスロット割り当てチャンネル選択 0: CH1 設定 1: CH2 設定
 CR3-B5 ~ B0 で割り当てスロットの設定を行うチャンネルを指定するために使用します。
- B5 ~ B0 ... 割り当てタイムスロットの選択を行います。
 使用可能なスロット数は BCLK 周波数に依存し、以下の式で求められます。
 $(\text{BCLK 周波数}) \div (\text{同期信号周波数}) \div 8$
 $= (\text{BCLK 周波数}) \div 64k$
 BCLK 周波数が 4096kHz の場合、0(000000) ~ 63(111111) スロットが使用可能となります。
 これらのビットで、実際に使用可能なスロット数を超えるスロットを指定しないで下さい。
 14 ビットニア PCM モードの場合は、偶数スロット(0, 2, 4, ..., 62)だけが使用できます。
 また、送信側、および、受信側スロットは必ず同一となります。
 尚、TSAE ビット(CR3-B7) = "0" の場合、これらのビットの指定は無視され、CH1 はスロット 0 に、CH2 はスロット 2 に割り当てられます。
 図 12 に CH1 をスロット 0(000000) に、CH2 をスロット 3(000011) に割り付けた場合の例を示します。

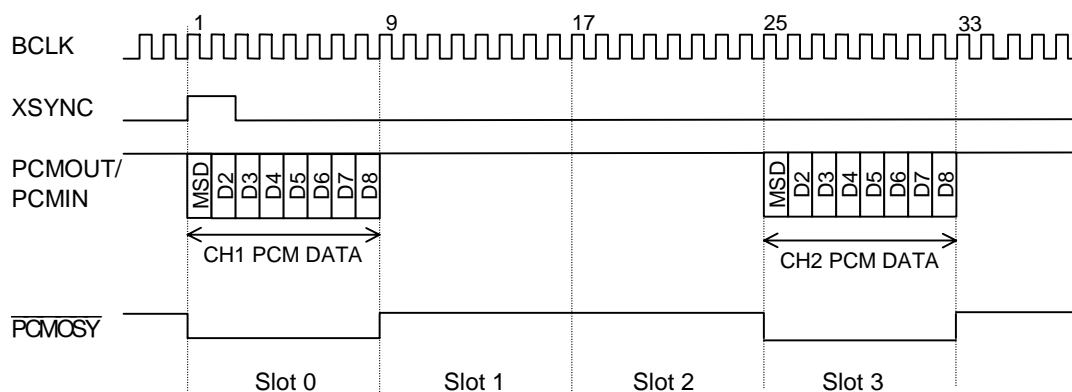


図 12 タイムスロット割り当て例 : CH1 = スロット 0、CH2 = スロット 3

- CR4 (デバウンスタイマ選択)

	B7	B6	B5	B4	B3	B2	B1	B0
CR4	DET2 TIM3	DET2 TIM2	DET2 TIM1	DET2 TIM0	DET1 TIM3	DET1 TIM2	DET1 TIM1	DET1 TIM0
初期値	0	0	0	0	0	0	0	0

B7 ~ B4 ... CH2 デバウンスタイマ設定

B3 ~ B0 ... CH1 デバウンスタイマ設定

本 LSI には、 $\overline{\text{DET}}_n$ 端子入力信号上のグリッジなどによる誤検出防止のため、指定時間以上継続して $\overline{\text{DET}}_n$ 端子入力信号が“L”となって初めて $\overline{\text{DET}}_n$ ビット(CR13-B1、または CR6-B1)を“0”に書き換え、 $\overline{\text{INT}}$ 端子出力を“L”レベルとするデバウンスタイマ機能が設けられています。

このデバウンスタイマの時間設定をこれらのビットにより行います。

尚、デバウンスタイマは、パワーオン時(PDN 端子 = “H”)に使用可となり、パワーセーブ時にも有効です。

タイマは、チャンネル毎に、0 ms ~ 225 ms の間で 15 ms ステップで設定できます。B7, B6, B5, B4、もしくは、B3, B2, B1, B0 に書き込む値は、以下の式で求められる値を 4 桁のバイナリ表示した値となります。表 8 を参照ください。

(設定時間 [ms]) ÷ 15

表 8 デバウンスタイマ設定

B7/B3	B6/B2	B5/B1	B4/B0	タイマ (ms)
0	0	0	0	0
0	0	0	1	15
0	0	1	0	30
0	0	1	1	45
0	1	0	0	60
:	:	:	:	:
0	1	1	1	105
1	0	0	0	120
1	0	0	1	135
:	:	:	:	:
1	1	1	1	225

- CR5 (CH1 送受信レベル設定)

	B7	B6	B5	B4	B3	B2	B1	B0
CR5	LV1R3	LV1R2	LV1R1	LV1R0	LV1X3	LV1X2	LV1X1	LV1X0
初期値	0	0	0	0	0	0	0	0

B7 ~ B4 ... CH1 の受信側レベル設定
これらのビットの組み合わせにより、CH1 の受信側レベルを設定します。設定されるレベルについては、表 9 を参照してください。

B3 ~ B0 ... CH1 の送信側レベル調整
これらのビットの組み合わせにより、CH1 の送信側レベルを設定します。設定されるレベルについては、表 9 を参照してください。

表 9 送受信レベル調整

LV1R3/LV1X3	LV1R2/ LV1X2	LV1R1/LV1X1	LV1R0/LV1X0	レベル (dB)
0	0	0	0	0.0
0	0	0	1	-1.0
0	0	1	0	-2.0
0	0	1	1	-3.0
0	1	0	0	-4.0
0	1	0	1	-5.0
0	1	1	0	-6.0
0	1	1	1	-7.0
1	0	0	0	-8.0
1	0	0	1	-9.0
1	0	1	0	-10.0
1	0	1	1	-11.0
1	1	0	0	-12.0
1	1	0	1	-13.0
1	1	1	0	-14.0
1	1	1	1	MUTE

- CR6 (SLIC1 制御)

	B7	B6	B5	B4	B3	B2	B1	B0
CR6	F2_1	F1_1	F0_1	SWC1	BSEL1	E0_1	DET1	ALM1
初期値	0	0	0	0	0	0	-	-

* CR6-B1、B0 は読み出し専用ビットです。バイト単位での CR6 への書き込みの際、これらのビットは、“0”または“1”の任意の値とすることができますが、書き込み自体が無視されます。

* 本レジスタ(CR6)と CR13 の双方が読み出された場合、“L”レベル出力中の \overline{INT} 端子は開放され“H”レベル出力となります。

- B7 ~ B5 ... SLIC1 モード設定
表 6 を参照してください。
- B4 ... SLIC1 用の汎用多目的スイッチ制御 0: スイッチオン 1: スイッチオフ
本ビットにより SWC1 端子の出力レベルを決定します。
本ビットが“0”の場合、SWC1 端子は“L”レベルを出力し、“1”の場合、“H”レベルを出力します。
SLIC1 が Intersil RSLICTM シリーズである場合に、本 LSI の SWC1 端子出力信号を SLIC1 の同名の端子へ直接入力することにより、SLIC1 の SW+、SW-両出力端子間デバイス側にある汎用多目的スイッチのオン・オフ制御が行えます。
- B3 ... SLIC1 用のバッテリーモード選択 0: 低バッテリーモード 1: 高バッテリーモード
本ビットにより BSEL1 端子の出力レベルを決定します。
本ビットが“0”の場合、BSEL1 端子は“L”レベルを出力し、“1”の場合、“H”レベルを出力します。
SLIC1 が Intersil RSLICTM シリーズである場合に、本 LSI の BSEL1 端子出力信号を SLIC1 の同名の端子へ直接入力することにより、SLIC1 のバッテリーモード選択が行えます。
- B2 ... SLIC1 の検出用出力選択
本ビットにより E0_1 端子の出力レベルを決定します。
本ビットが“0”の場合、E0_1 端子は“L”レベルを出力し、“1”の場合、“H”レベルを出力します。
SLIC1 が Intersil RSLICTM シリーズである場合に、本 LSI の E0_1 端子出力信号を SLIC1 の同名の端子へ直接入力することにより、SLIC1 の検出対象を指定することができます。実際の SLIC1 での検出対象は、F2_1 端子、F1_1 端子、F0_1 端子、E0_1 端子の出力レベルの組み合わせにより決定されます。表 6 を参照してください。
E0_1 端子の出力レベルは、パワーダウン時(PDN 端子 = “L”)には本ビット書き換え後 200ns 以内に、また、パワーダウン時以外(PDN 端子 = “H”)では本ビット書き換え後 20 μ s 後に変化(ホールドタイム)するようになっています。図 6 を参照してください。
- B1 ... SLIC1 からのフックスイッチ、グランドキーまたはリングトリップ検出信号表示ビット(読み出し専用) 0: 検出 1: 未検出
本ビットを読み出すことで本 LSI の DET1 端子への入力レベルを確認することができます。
本ビットが“0”の場合、DET1 端子には“L”レベルが入力されていることを示し、“1”の場合、“H”レベルが入力されていることを示しています。
SLIC1 が Intersil RSLICTM シリーズである場合に、SLIC1 の DET 端子出力信号を本 LSI の DET1 端子へ直接入力することにより、フックスイッチ、グランドキーまたはリングトリップの検出が可能となります。

オフフック、リングトリップ、または、グランドキーの内のいずれの状態を SLIC1 デバイスに検知させるかは、F2_1 ビット、F1_1 ビット、F0_1 ビット、E0_1 ビット(CR6-B7 ~ B5 および B2)の組み合わせにより決定します。

尚、DET1TIM3 ~ DET1TIM0 ビット(CR4-B3 ~ B0)によりデバウンスタイマが設定されている場合は、設定時間以上継続して $\overline{\text{DETI}}$ 端子への入力が”L”レベルに変化して初めて本ビットが”1”から”0”へと変化します。

B0 ... SLIC1 からのサーマルシャットダウンアラーム検出ビット(読み出し専用)

0: 検出 1: 未検出

本ビットを読み出すことで本 LSI の $\overline{\text{ALMI}}$ 端子への入力レベルを確認することができます。

本ビットが”0”の場合、 $\overline{\text{ALMI}}$ 端子には”L”レベルが入力されていることを示し、”1”の場合、”H”レベルが入力されていることを示しています。

SLIC1 が Intersil RSLICTM シリーズである場合に、SLIC1 の $\overline{\text{ALM}}$ 端子出力信号を本 LSI の $\overline{\text{ALMI}}$ 端子へ直接入力することにより、SLIC1 が通常動作状態にあるのか、サーマルシャットダウン中であるのかを検知することが可能となります。

- CR7 (CH1 TG2 制御 1)

	B7	B6	B5	B4	B3	B2	B1	B0
CR7	AOUT1 SEL	CH1TG2 TX	CH1TG2 TOUT1	CH1TG2 LV3	CH1TG2 LV2	CH1TG2 LV1	CH1TG2 LV0	CH1TG2 _8
初期値	0	0	0	0	0	0	0	0

- CR8 (CH1 TG2 制御 2)

	B7	B6	B5	B4	B3	B2	B1	B0
CR8	CH1TG2 _7	CH1TG2 _6	CH1TG2 _5	CH1TG2 _4	CH1TG2 _3	CH1TG2 _2	CH1TG2 _1	CH1TG2 _0
初期値	0	0	0	0	0	0	0	0

- CR7-B7 ... AOUT1P、AOUT1N 出力方式選択
 0: AOUT1P 端子によるシングルエンド出力
 1: AOUT1P 端子および AOUT1N 端子の 2 端子による差動出力
 “0”選択時、AOUT1N 端子出力はハイインピーダンスとなります。
- B6 ... CH1 トーンジェネレータ出力先選択 0: 受信側 1: 送信側
- B5 ... CH1 トーンジェネレータ受信側出力端子選択 0: AOUT1 端子 1: TOUT1 端子
- B4 ~ B1 ... CH1 TG2 のレベル設定
 これらのビットの組み合わせにより、CH1 の TG2 の出力レベルを設定します。設定されるレベルについては、表 10 を参照してください。

表 10 TG2 のレベル調整

B4 CH1TG2LV3	B3 CH1TG2LV2	B2 CH1TG2LV1	B1 CH1TG2LV0	レベル (dBm0)
0	0	0	0	OFF
0	0	0	1	-12.0
0	0	1	0	-11.0
0	0	1	1	-10.0
0	1	0	0	-9.0
0	1	0	1	-8.0
0	1	1	0	-7.0
0	1	1	1	-6.0
1	0	0	0	-5.0
1	0	0	1	-4.0
1	0	1	0	-3.0
1	0	1	1	-2.0
1	1	0	0	-1.0
1	1	0	1	0.0
1	1	1	0	+1.0
1	1	1	1	+2.0

CR7-B0, CR8-B7 ~ B0 ... CH1 TG2 周波数設定

これらのビットを用い、CH1 の TG2 の周波数を 300 ~ 3400 Hz の間で設定してください。
10Hz ステップでの設定が可能です。

CR7-B0, CR8-B7 ~ B0 に書き込む値は、以下の式で求められる値を 9 桁のバイナリ表示した値となります。表 11 を参照してください。

$$(\text{出力周波数 [Hz]} \div 10)$$

以下に 1500Hz のトーンを出力する場合の例を示します。

$$\text{例) } (\text{出力周波数 [Hz]} \div 10 = 1500 \div 10 = 150d = 10010110b)$$

$$\text{設定データ} = (\text{CR7-B0, CR8-B7, ..., CR8-B0}) = (0, 1, 0, 0, 1, 0, 1, 1, 0)$$

尚、これらのビットにより、300 ~ 3400 Hz の範囲外の周波数が設定された場合の動作は保証されません。

表 11 トーンジェネレータ周波数設定

周波数 (Hz)	10 進数	16 進数	CR7	CR8							
			B0	B7	B6	B5	B4	B3	B2	B1	B0
300	30	01Eh	0	0	0	0	1	1	1	1	0
310	31	01Fh	0	0	0	0	1	1	1	1	1
320	32	020h	0	0	0	1	0	0	0	0	0
:	:	:	:	:	:	:	:	:	:	:	:
400	40	028h	0	0	0	1	0	1	0	0	0
410	41	029h	0	0	0	1	0	1	0	0	1
:	:	:	:	:	:	:	:	:	:	:	:
1000	100	064h	0	0	1	1	0	0	1	0	0
1010	101	065h	0	0	1	1	0	0	1	0	1
:	:	:	:	:	:	:	:	:	:	:	:
2000	200	0C8h	0	1	1	0	0	1	0	0	0
:	:	:	:	:	:	:	:	:	:	:	:
3000	300	12Ch	1	0	0	1	0	1	1	0	0
:	:	:	:	:	:	:	:	:	:	:	:
3390	339	153h	1	0	1	0	1	0	0	1	1
3400	340	154h	1	0	1	0	1	0	1	0	0

- CR9 (CH1 TG1 制御 1)

	B7	B6	B5	B4	B3	B2	B1	B0
CR9	CH1TG1 LV6	CH1TG1 LV5	CH1TG1 LV4	CH1TG1 LV3	CH1TG1 LV2	CH1TG1 LV1	CH1TG1 LV0	CH1TG1 _8
初期値	0	0	0	0	0	0	0	0

- CR10 (CH1 TG1 制御 2)

	B7	B6	B5	B4	B3	B2	B1	B0
CR10	CH1TG1 _7	CH1TG1 _6	CH1TG1 _5	CH1TG1 _4	CH1TG1 _3	CH1TG1 _2	CH1TG1 _1	CH1TG1 _0
初期値	0	0	0	0	0	0	0	0

CR9-B7 ~ B1 ... TG1 のレベル設定

これらのビットを用い、CH1 の TG1 の出力レベルを設定します。OFF か - 12.1 dBm0 ~ + 0.5 dBm0 の範囲で 0.1 dBm0 ステップで設定が可能です。

CR9-B7 ~ B1 に書き込む値は、以下の式で求められる値を 7 桁のバイナリ表示した値となります。表 12 を参照してください。

$$[(\text{出力レベル}[\text{dBm0}]) + 12.2] \times 10$$

以下に - 5.8 [dBm0] を設定する場合の例を示します。

$$\text{例) } [(\text{出力レベル}[\text{dBm0}]) + 12.2] \times 10$$

$$= - 5.8 [\text{dBm0}] + 12.2 \times 10 = 64 = 1000000b$$

$$\text{設定データ} = (\text{B7}, \text{B6}, \text{B5}, \text{B4}, \text{B3}, \text{B2}, \text{B1}) = (1, 0, 0, 0, 0, 0, 0)$$

表 12 トーンジェネレータ 1 のレベル調整

B7 TG1LV6	B6 TG1LV5	B5 TG1LV4	B4 TG1LV3	B3 TG1LV2	B2 TG1LV1	B1 TG1LV0	レベル (dBm0)
0	0	0	0	0	0	0	OFF
0	0	0	0	0	0	1	-12.1
0	0	0	0	0	1	0	-12.0
0	0	0	0	0	1	1	-11.9
0	0	0	0	1	0	0	-11.8
:	:	:	:	:	:	:	:
0	1	1	1	1	1	1	-5.9
1	0	0	0	0	0	0	-5.8
1	0	0	0	0	0	1	-5.7
:	:	:	:	:	:	:	:
1	1	1	1	0	1	0	0.0
1	1	1	1	0	1	1	0.1
1	1	1	1	1	0	0	0.2
1	1	1	1	1	0	1	0.3
1	1	1	1	1	1	0	0.4
1	1	1	1	1	1	1	0.5 (= 1.25 V _{op})

CR9-B0, CR10-B7 ~ B0... CH1 の TG1 周波数選択

CH1RING ビット(CR11-B3)が“0”の場合、これら全てのビットが有効となり、これら 9 ビットを用い、CH1 の TG1 の周波数を設定します。

CH1RING ビット(CR11-B3)が“1”の場合、CR9-B0、CR10-B7 ~ B6 の設定は無視され、CR10-B5 ~ B0 の 6 ビットを用い、CH1 のリングトーンの周波数を設定します。

[CH1RING ビット(CR11-B3) = “0”の場合]

設定周波数は 300 ~ 3400 Hz の間としてください。10Hz ステップでの設定が可能です。

CR9-B0, CR10-B7 ~ B0 に書き込む値は、以下の式で求められる値を 9 桁のバイナリ表示した値となります。表 13 を参照してください。

$$(\text{出力周波数 [Hz]}) \div 10$$

以下に 1500Hz のトーンを出力する場合の例を示します。

$$\text{例) } (\text{出力周波数 [Hz]}) \div 10 = 1500 \div 10 = 150d = 10010110b$$

$$\text{設定データ} = (\text{CR9 B0, CR10 B7, ..., CR10 B0}) = (0, 1, 0, 0, 1, 0, 1, 1, 0)$$

尚、これらのビットにより、300 ~ 3400 Hz の範囲外の周波数が設定された場合の動作は保証されません。

表 13 トーンジェネレータ周波数設定 (CH1RING ビット = “0”)

周波数(Hz)	10 進数	16 進数	CR9	CR10							
			B0	B7	B6	B5	B4	B3	B2	B1	B0
300	30	01Eh	0	0	0	0	1	1	1	1	0
310	31	01Fh	0	0	0	0	1	1	1	1	1
320	32	020h	0	0	0	1	0	0	0	0	0
:	:	:	:	:	:	:	:	:	:	:	:
400	40	028h	0	0	0	1	0	1	0	0	0
410	41	029h	0	0	0	1	0	1	0	0	1
:	:	:	:	:	:	:	:	:	:	:	:
1000	100	064h	0	0	1	1	0	0	1	0	0
1010	101	065h	0	0	1	1	0	0	1	0	1
:	:	:	:	:	:	:	:	:	:	:	:
2000	200	0C8h	0	1	1	0	0	1	0	0	0
:	:	:	:	:	:	:	:	:	:	:	:
3000	300	12Ch	1	0	0	1	0	1	1	0	0
:	:	:	:	:	:	:	:	:	:	:	:
3390	339	153h	1	0	1	0	1	0	0	1	1
3400	340	154h	1	0	1	0	1	0	1	0	0

[CH1RING ビット(CR11-B3) = “1”の場合]

設定周波数は 15 ~ 50 Hz の間としてください。1 Hz ステップでの設定が可能です。

CR10-B5 ~ B0 に書き込む値は、出力周波数 [Hz] を 6 桁のバイナリ表示した値となります。表 14 を参照してください。

以下に 20 Hz のトーンを出力する場合の例を示します。

例) (出力周波数 [Hz]) = 20d = 10100b

設定データ = (CR10 B5, CR10 B4, ..., CR10 B0) = (0, 1, 0, 1, 0, 0)

尚、これらのビットにより、15 ~ 50 Hz の範囲外の周波数が設定された場合の動作は保証されません。

表 14 トーンジェネレータ周波数設定 (CH1RING ビット = “1”)

周波数(Hz)	10 進数	16 進数	CR9	CR10							
			B0	B7	B6	B5	B4	B3	B2	B1	B0
15	15	0Fh	—	—	—	0	0	1	1	1	1
16	16	10h	—	—	—	0	1	0	0	0	0
17	17	11h	—	—	—	0	1	0	0	0	1
18	18	12h	—	—	—	0	1	0	0	1	0
19	19	13h	—	—	—	0	1	0	0	1	1
20	20	14h	—	—	—	0	1	0	1	0	0
:	:	:	:	:	:	:	:	:	:	:	:
48	48	30h	—	—	—	1	1	0	0	0	0
49	49	31h	—	—	—	1	1	0	0	0	1
50	50	32h	—	—	—	1	1	0	0	1	0

• CR11 (リングングトーン設定)

	B7	B6	B5	B4	B3	B2	B1	B0
CR11	CH2 RING	CH2TG1 TRP2	CH2TG1 TRP1	CH2TG1 TRP0	CH1 RING	CH1TG1 TRP2	CH1TG1 TRP1	CH1TG1 TRP0
初期値	0	0	0	0	0	0	0	0

- B7 ... CH2 TG1 機能選択
 0: 通常トーンジェネレータとして動作
 1: リングングトーンジェネレータとして動作
 CH2 TG1 の周波数とレベルは、CR16 ~ CR17 により設定してください。
- B6 ~ B4 ... CH2 リングングトーン波形設定
 これらのビットを用いて CH2 の送出リングングトーン波形設定が行えます。正弦波指定、もしくは、1.225 ~ 1.375 までの間の Crest Factor を持つ台形波の指定が可能です。
 表 15 を参照してください。
 Crest Factor の定義については、図 13 を参照してください。
 CH2RING ビット(CR11-B7) = "1" の時に、本設定が有効となります。
- B3 ... CH1 TG1 機能選択
 0: 通常トーンジェネレータとして動作
 1: リングングトーンジェネレータとして動作
 CH1 TG1 の周波数とレベルは、CR9 ~ CR10 により設定してください。
- B2 ~ B0 ... CH1 リングングトーン波形設定
 これらのビットを用いて CH1 の送出リングングトーン波形設定が行えます。正弦波指定、もしくは、1.225 ~ 1.375 までの間の Crest Factor を持つ台形波の指定が可能です。
 表 15 を参照してください。
 Crest Factor の定義については、図 13 を参照してください。
 CH1RING ビット(CR11-B3) = "1" の時に、本設定が有効となります。

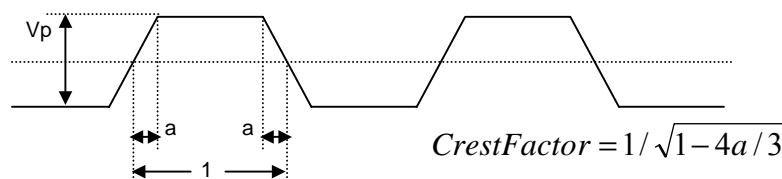


図 13 リングングトーン波形

表 15 Crest factor 設定

CHnTG1TRP2	CHnTG1TRP1	CHnTG1TRP0	Crest factor
0	0	0	(正弦波指定)
0	0	1	1.225
0	1	0	1.250
0	1	1	1.275
1	0	0	1.300
1	0	1	1.325
1	1	0	1.350
1	1	1	1.375

- CR12 (CH2 送受信レベル設定)

	B7	B6	B5	B4	B3	B2	B1	B0
CR12	LV2R3	LV2R2	LV2R1	LV2R0	LV2X3	LV2X2	LV2X1	LV2X0
初期値	0	0	0	0	0	0	0	0

B7 ~ B4 ... CH2 の受信側レベル設定
これらのビットの組み合わせにより、CH2 の受信側レベルを設定します。設定されるレベルについては、表 16 を参照してください。

B3 ~ B0 ... CH2 の送信側レベル設定
これらのビットの組み合わせにより、CH2 の送信側レベルを設定します。設定されるレベルについては、表 16 を参照してください。

表 16 送受信レベル調整

LV2R3/ LV2X3	LV2R2/ LV2X2	LV2R1/ LV2X1	LV2R0/ LV2X0	レベル(dB)
0	0	0	0	0.0
0	0	0	1	-1.0
0	0	1	0	-2.0
0	0	1	1	-3.0
0	1	0	0	-4.0
0	1	0	1	-5.0
0	1	1	0	-6.0
0	1	1	1	-7.0
1	0	0	0	-8.0
1	0	0	1	-9.0
1	0	1	0	-10.0
1	0	1	1	-11.0
1	1	0	0	-12.0
1	1	0	1	-13.0
1	1	1	0	-14.0
1	1	1	1	MUTE

- CR13 (SLIC2 制御)

	B7	B6	B5	B4	B3	B2	B1	B0
CR13	F2_2	F1_2	F0_2	SWC2	BSEL2	E0_2	$\overline{\text{DET2}}$	ALM2
初期値	0	0	0	0	0	0	-	-

* CR13-B1、B0 は読み出し専用ビットです。バイト単位での CR13 への書き込みの際、これらのビットは、“0”または“1”の任意の値とすることができますが、書き込み自体が無視されます。

* 本レジスタ(CR13)と CR6 の双方が読み出された場合、“L”レベル出力中の $\overline{\text{INT}}$ 端子は開放され“H”レベル出力となります。

- B7 ~ B5 ... SLIC2 のモード設定
表 6 を参照してください。
- B4 ... SLIC2 用の汎用多目的スイッチ制御 0: スイッチオン 1: スイッチオフ
本ビットにより SWC2 端子の出力レベルを決定します。
本ビットが“0”の場合、SWC2 端子は“L”レベルを出力し、“1”の場合、“H”レベルを出力します。
SLIC2 が Intersil RSLICTM シリーズである場合に、本 LSI の SWC2 端子出力信号を SLIC2 の同名の端子へ直接入力することにより、SLIC2 の SW+、SW-両出力端子間デバイス側にある汎用多目的スイッチのオン・オフ制御が行えます。
- B3 ... SLIC2 用のバッテリーモード選択 0: 低バッテリーモード 1: 高バッテリーモード
本ビットにより BSEL1 端子の出力レベルを決定します。
本ビットが“0”の場合、BSEL2 端子は“L”レベルを出力し、“1”の場合、“H”レベルを出力します。
SLIC2 が Intersil RSLICTM シリーズである場合に、本 LSI の BSEL2 端子出力信号を SLIC2 の同名の端子へ直接入力することにより、SLIC2 のバッテリーモード選択が行えます。
- B2 ... SLIC2 の検出用出力選択
本ビットにより E0_2 端子の出力レベルを決定します。
本ビットが“0”の場合、E0_2 端子は“L”レベルを出力し、“1”の場合、“H”レベルを出力します。
SLIC2 が Intersil RSLICTM シリーズである場合に、本 LSI の E0_2 端子出力信号を SLIC2 の同名の端子へ直接入力することにより、SLIC2 の検出対象を指定することができます。実際の SLIC2 での検出対象は、F2_2 端子、F1_2 端子、F0_2 端子、E0_2 端子の出力レベルの組み合わせにより決定されます。表 6 を参照してください。
E0_2 端子の出力レベルは、パワーダウン時(PDN 端子 = “L”)には本ビット書き換え後 200ns 以内に、また、パワーダウン時以外(PDN 端子 = “H”)では本ビット書き換え後 20 μ s 後に変化(ホールドタイム)するようになっています。図 6 を参照してください。
- B1 ... SLIC2 からのフックスイッチ、グランドキーまたはリングトリップ検出信号表示ビット(読み出し専用) 0: 検出 1: 未検出
本ビットを読み出すことで本 LSI の $\overline{\text{DET2}}$ 端子への入力レベルを確認することができます。
本ビットが“0”の場合、 $\overline{\text{DET2}}$ 端子には“L”レベルが入力されていることを示し、“1”の場合、“H”レベルが入力されていることを示しています。
SLIC2 が Intersil RSLICTM シリーズである場合に、SLIC2 の $\overline{\text{DET}}$ 端子出力信号を本 LSI の $\overline{\text{DET2}}$ 端子へ直接入力することにより、フックスイッチ、グランドキーまたはリングトリップの検出が可能となります。

オフフック、リングトリップ、または、グランドキーの内のいずれの状態を SLIC2 デバイスに検知させるかは、F2_2 ビット、F1_2 ビット、F0_2 ビット、E0_2 ビット(CR13-B7 ~ B5 および B2)の組み合わせにより決定します。

尚、DET2TIM3 ~ DET2TIM0 ビット(CR4-B7 ~ B4)によりデバウンスタイマが設定されている場合は、設定時間以上継続して $\overline{\text{DET2}}$ 端子への入力が”L”レベルに変化して初めて本ビットが”1”から”0”へと変化します。

B0 ... SLIC2 からのサーマルシャットダウンアラーム検出ビット(読み出し専用)

0: 検出 1: 未検出

本ビットを読み出すことで本 LSI の $\overline{\text{ALM2}}$ 端子への入力レベルを確認することができます。

本ビットが”0”の場合、 $\overline{\text{ALM2}}$ 端子には”L”レベルが入力されていることを示し、”1”の場合、”H”レベルが入力されていることを示しています。

SLIC2 が Intersil RSLICTM シリーズである場合に、SLIC2 の $\overline{\text{ALM}}$ 端子出力信号を本 LSI の $\overline{\text{ALM2}}$ 端子へ直接入力することにより、SLIC2 が通常動作状態にあるのか、サーマルシャットダウン中であるのかを検知することが可能となります。

- CR14 (CH2 TG2 制御 1)

	B7	B6	B5	B4	B3	B2	B1	B0
CR14	AOUT2 SEL	CH2TG2 TX	CH2TG2 TOUT2	CH2TG2 LV3	CH2TG2 LV2	CH2TG2 LV1	CH2TG2 LV0	CH2TG2 _8
初期値	0	0	0	0	0	0	0	0

- CR15 (CH2 TG2 制御 2)

	B7	B6	B5	B4	B3	B2	B1	B0
CR15	CH2TG2 _7	CH2TG2 _6	CH2TG2 _5	CH2TG2 _4	CH2TG2 _3	CH2TG2 _2	CH2TG2 _1	CH2TG2 _0
初期値	0	0	0	0	0	0	0	0

- CR14-B7 ... AOUT2P、AOUT2N 出力方式選択
 0: AOUT2P 端子によるシングルエンド出力
 1: AOUT2P 端子および AOUT2N 端子の 2 端子による差動出力
 “0”選択時、AOUT2N 端子出力はハイインピーダンスとなります。
- B6 ... CH2 トーンジェネレータ出力先選択 0: 受信側 1: 送信側
- B5 ... CH2 トーンジェネレータ受信側出力端子選択 0: AOUT2 端子 1: TOUT2 端子
- B4 ~ B1 ... CH2 TG2 のレベル設定
 これらのビットの組み合わせにより、CH2 の TG2 の出力レベルを設定します。設定されるレベルについては、表 17 を参照してください。

表 17 トーンジェネレータ 2 のレベル調整

B4 TG2LV3	B3 TG2LV2	B2 TG2LV1	B1 TG2LV0	レベル (dBm0)
0	0	0	0	OFF
0	0	0	1	-12.0
0	0	1	0	-11.0
0	0	1	1	-10.0
0	1	0	0	-9.0
0	1	0	1	-8.0
0	1	1	0	-7.0
0	1	1	1	-6.0
1	0	0	0	-5.0
1	0	0	1	-4.0
1	0	1	0	-3.0
1	0	1	1	-2.0
1	1	0	0	-1.0
1	1	0	1	0.0
1	1	1	0	+1.0
1	1	1	1	+2.0

CR14-B0, CR15-B7 ~ B0 ... CH2 TG2 周波数設定

これらのビットを用い、CH2 の TG2 の周波数を 300 ~ 3400 Hz の間で設定してください。
10Hz ステップでの設定が可能です。

CR14-B0, CR15-B7 ~ B0 に書き込む値は、以下の式で求められる値を 9 桁のバイナリ表示した値となります。表 18 を参照してください。

$$(\text{出力周波数 [Hz]}) \div 10$$

以下に 1500Hz のトーンを出力する場合の例を示します。

$$\text{例) } (\text{出力周波数 [Hz]}) \div 10 = 1500 \div 10 = 150d = 10010110b$$

$$\text{設定データ} = (\text{CR14-B0, CR15-B7, ..., CR15-B0}) = (0, 1, 0, 0, 1, 0, 1, 1, 0)$$

尚、これらのビットにより、300 ~ 3400 Hz の範囲外の周波数が設定された場合の動作は保証されません。

表 18 トーンジェネレータ周波数設定

周波数(Hz)	10進数	16進数	CR14	CR15							
			B0	B7	B6	B5	B4	B3	B2	B1	B0
300	30	01Eh	0	0	0	0	1	1	1	1	0
310	31	01Fh	0	0	0	0	1	1	1	1	1
320	32	020h	0	0	0	1	0	0	0	0	0
:	:	:	:	:	:	:	:	:	:	:	:
400	40	028h	0	0	0	1	0	1	0	0	0
410	41	029h	0	0	0	1	0	1	0	0	1
:	:	:	:	:	:	:	:	:	:	:	:
1000	100	064h	0	0	1	1	0	0	1	0	0
1010	101	065h	0	0	1	1	0	0	1	0	1
:	:	:	:	:	:	:	:	:	:	:	:
2000	200	0C8h	0	1	1	0	0	1	0	0	0
:	:	:	:	:	:	:	:	:	:	:	:
3000	300	12Ch	1	0	0	1	0	1	1	0	0
:	:	:	:	:	:	:	:	:	:	:	:
3390	339	153h	1	0	1	0	1	0	0	1	1
3400	340	154h	1	0	1	0	1	0	1	0	0

- CR16 (CH2 TG1 制御 1)

	B7	B6	B5	B4	B3	B2	B1	B0
CR16	CH2TG1 LV6	CH2TG1 LV5	CH2TG1 LV4	CH2TG1 LV3	CH2TG1 LV2	CH2TG1 LV1	CH2TG1 LV0	CH2TG1 _8
初期値	0	0	0	0	0	0	0	0

- CR17 (CH2 TG1 制御 2)

	B7	B6	B5	B4	B3	B2	B1	B0
CR17	CH2TG1 _7	CH2TG1 _6	CH2TG1 _5	CH2TG1 _4	CH2TG1 _3	CH2TG1 _2	CH2TG1 _1	CH2TG1 _0
初期値	0	0	0	0	0	0	0	0

CR16-B7 ~ B1 ... TG1 のレベル設定

これらのビットを用い、CH2 の TG1 の出力レベルを設定します。OFF か -12.1dBm0 ~ +0.5dBm0 の範囲で 0.1dBm0 ステップで設定が可能です。

CR16-B7 ~ B1 に書き込む値は、以下の式で求められる値を 7 桁のバイナリ表示した値となります。表 19 を参照してください。

$$[(\text{出力レベル}[\text{dBm0}]) + 12.2] \times 10$$

以下に -5.8 [dBm0] を設定する場合の例を示します。

$$\text{例) } [(\text{出力レベル}[\text{dBm0}]) + 12.2] \times 10$$

$$= -5.8 [\text{dBm0}] + 12.2 \times 10 = 64d = 1000000b$$

$$\text{設定データ} = (\text{B7, B6, B5, B4, B3, B2, B1}) = (1, 0, 0, 0, 0, 0, 0)$$

表 19 トーンジェネレータ 1 のレベル調整

B7 TG1LV6	B6 TG1LV5	B5 TG1LV4	B4 TG1LV3	B3 TG1LV2	B2 TG1LV1	B1 TG1LV0	レベル (dBm0)
0	0	0	0	0	0	0	OFF
0	0	0	0	0	0	1	-12.1
0	0	0	0	0	1	0	-12.0
0	0	0	0	0	1	1	-11.9
0	0	0	0	1	0	0	-11.8
:	:	:	:	:	:	:	:
0	1	1	1	1	1	1	-5.9
1	0	0	0	0	0	0	-5.8
1	0	0	0	0	0	1	-5.7
:	:	:	:	:	:	:	:
1	1	1	1	0	1	0	0.0
1	1	1	1	0	1	1	0.1
1	1	1	1	1	0	0	0.2
1	1	1	1	1	0	1	0.3
1	1	1	1	1	1	0	0.4
1	1	1	1	1	1	1	0.5 (= 1.25 V _{op})

CR16-B0, CR17-B7 ~ B0 ... CH2 の TG1 周波数選択

CH2RING ビット(CR11-B7)が“0”の場合、これら全てのビットが有効となり、これら 9 ビットを用い、CH2 の TG1 の周波数を設定します。

CH2RING ビット(CR11-B7)が“1”の場合、CR16-B0、CR17-B7 ~ B6 の設定は無視され、CR17-B5 ~ B0 の 6 ビットを用い、CH2 のリングトーンの周波数を設定します。

[CH2RING ビット(CR11-B7) = “0”の場合]

設定周波数は 300 ~ 3400 Hz の間としてください。10 Hz ステップでの設定が可能です。

CR16-B0, CR17-B7 ~ B0 に書き込む値は、以下の式で求められる値を 9 桁のバイナリ表示した値となります。表 20 を参照してください。

$$(\text{出力周波数 [Hz]}) \div 10$$

以下に 1500Hz のトーンを出力する場合の例を示します。

$$\text{例) } (\text{出力周波数 [Hz]}) \div 10 = 1500 \div 10 = 150d = 10010110b$$

$$\text{設定データ} = (\text{CR16 B0, CR17 B7, ..., CR17 B0}) = (0, 1, 0, 0, 1, 0, 1, 1, 0)$$

尚、これらのビットにより、300 ~ 3400 Hz の範囲外の周波数が設定された場合の動作は保証されません。

表 20 トーンジェネレータ周波数設定 (CH2RING = “0”)

周波数(Hz)	10 進数	16 進数	CR16	CR17							
			B0	B7	B6	B5	B4	B3	B2	B1	B0
300	30	01Eh	0	0	0	0	1	1	1	1	0
310	31	01Fh	0	0	0	0	1	1	1	1	1
320	32	020h	0	0	0	1	0	0	0	0	0
:	:	:	:	:	:	:	:	:	:	:	:
400	40	028h	0	0	0	1	0	1	0	0	0
410	41	029h	0	0	0	1	0	1	0	0	1
:	:	:	:	:	:	:	:	:	:	:	:
1000	100	064h	0	0	1	1	0	0	1	0	0
1010	101	065h	0	0	1	1	0	0	1	0	1
:	:	:	:	:	:	:	:	:	:	:	:
2000	200	0C8h	0	1	1	0	0	1	0	0	0
:	:	:	:	:	:	:	:	:	:	:	:
3000	300	12Ch	1	0	0	1	0	1	1	0	0
:	:	:	:	:	:	:	:	:	:	:	:
3390	339	153h	1	0	1	0	1	0	0	1	1
3400	340	154h	1	0	1	0	1	0	1	0	0

[CH2RING ビット(CR11-B7) = “1”の場合]

設定周波数は 15 ~ 50 Hz の間としてください。1 Hz ステップでの設定が可能です。

CR17-B5 ~ B0 に書き込む値は、出力周波数 [Hz] を 6 桁のバイナリ表示した値となります。表 21 を参照してください。

以下に 20 Hz のトーンを出力する場合の例を示します。

例) (出力周波数 [Hz]) = 20d = 10100b

設定データ = (CR17 B5, CR17 B4, ..., CR17 B0) = (0, 1, 0, 1, 0, 0)

尚、これらのビットにより、15 ~ 50 Hz の範囲外の周波数が設定された場合の動作は保証されません。

表 21 トーンジェネレータ周波数設定 (CH2RING = “1”)

周波数(Hz)	10 進数	16 進数	CR16	CR17							
			B0	B7	B6	B5	B4	B3	B2	B1	B0
15	15	0Fh	—	—	—	0	0	1	1	1	1
16	16	10h	—	—	—	0	1	0	0	0	0
17	17	11h	—	—	—	0	1	0	0	0	1
18	18	12h	—	—	—	0	1	0	0	1	0
19	19	13h	—	—	—	0	1	0	0	1	1
20	20	14h	—	—	—	0	1	0	1	0	0
:	:	:	:	:	:	:	:	:	:	:	:
48	48	30h	—	—	—	1	1	0	0	0	0
49	49	31h	—	—	—	1	1	0	0	0	1
50	50	32h	—	—	—	1	1	0	0	1	0

• CR18 (テスト制御)

	B7	B6	B5	B4	B3	B2	B1	B0
CR18	CH2 LOOP1	CH2 LOOP0	CH1 LOOP1	CH1 LOOP0	TEST3	TEST2	TEST1	TEST0
初期値	0	0	0	0	0	0	0	0

- B7, B6 ... CH2 のループバックテスト機能選択
 (B7, B6): (0, 0) = ループバック OFF
 (0, 1) = ループバック OFF
 (1, 0) = CH2 のデジタルループバックテスト。本来 PCMOOUT 端子より出力される PCM データを内部的に PCMIN 端子後段へ折り返します。この時、PCMIN 端子への外部からの入力は無視されます。尚、本モード設定中でも PCMOOUT 端子からは PCM データが出力されます。
 (1, 1) = CH2 のアナログループバックテスト。本来 AOUT2P 端子より出力されるアナログ信号を内部的に AIN2P/AIN2N/GSX2 端子後方のアンプ後段へ折り返します。この時、AIN2P 端子、および、AIN2N 端子への入力と、AIN2P/AIN2N/GSX2 端子間で設定された増減衰は無視され、AOUT2P 端子出力が 1:1 で折り返されます。尚、本モード設定中でも AOUT2P 端子(および AOUT2N 端子)からはアナログ信号が出力されます。
 * ループバックテストは、XSYNC と RSYNC の両方が同じ信号の場合だけ可能です。
- B5, B4 ... CH1 のループバックテスト選択
 (B5, B4): (0, 0) = ループバック OFF
 (0, 1) = ループバック OFF
 (1, 0) = CH1 のデジタルループバックテスト。本来 PCMOOUT 端子より出力される PCM データを内部的に PCMIN 端子後段へ折り返します。この時、PCMIN 端子への外部からの入力は無視されます。尚、本モード設定中でも PCMOOUT 端子からは PCM データが出力されます。
 (1, 1) = CH1 のアナログループバックテスト。本来 AOUT1P 端子より出力されるアナログ信号を内部的に AIN1P/AIN1N/GSX1 端子後方のアンプ後段へ折り返します。この時、AIN1P 端子、および、AIN1N 端子への入力と、AIN1P/AIN1N/GSX1 端子間で設定された増減衰は無視され、AOUT1P 端子出力が 1:1 で折り返されます。尚、本モード設定中でも AOUT1P 端子(および AOUT1N 端子)からはアナログ信号が出力されます。
 * ループバックテストは、XSYNC と RSYNC の両方が同じ信号の場合だけ可能です。
- B3 ~ B0 ... LSI テスト用レジスタ
 初期値の変更禁止。CR18 への書き込みの際には、”0”を書き込んで下さい。

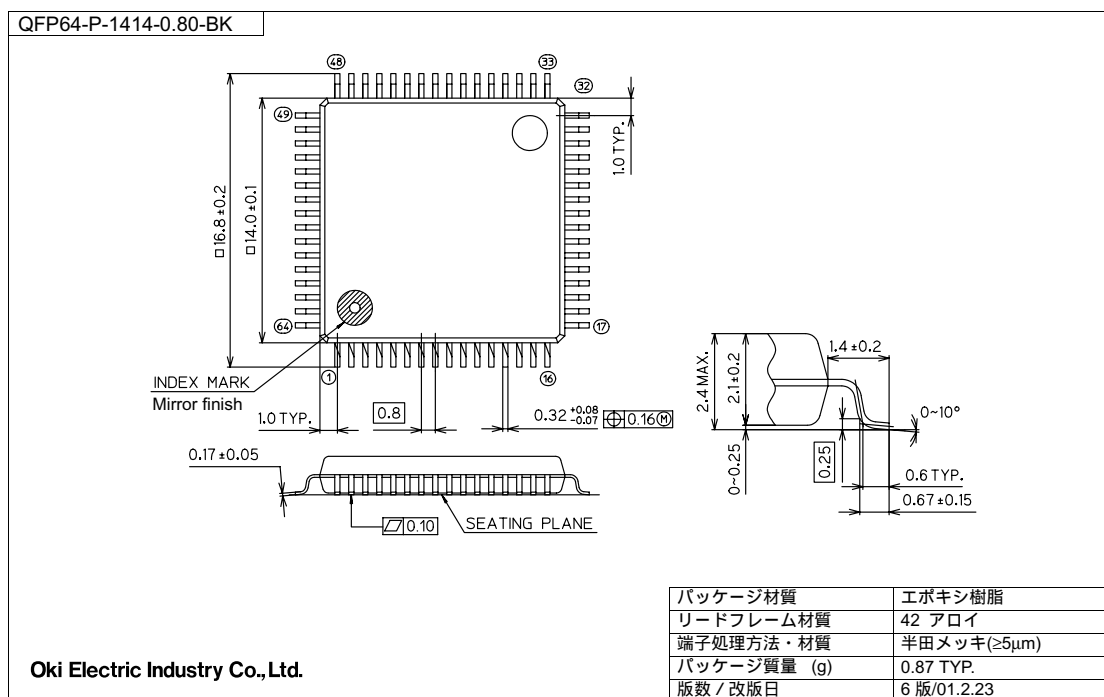
• CR19 (テスト制御)

	B7	B6	B5	B4	B3	B2	B1	B0
CR19	TEST11	TEST10	TEST9	TEST8	TEST7	TEST6	TEST5	TEST4
初期値	0	0	0	0	0	0	0	0

B7 ~ B0 ... LSI テスト用レジスタ
書き込み、読み出しとも禁止です。

パッケージ寸法図

(単位: mm)



表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。

したがって、リフロー実装の実装を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせ下さい。

ご注意

1. 本書に記載された内容は、製品改善及び技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、その情報が最新のものであることをご確認ください。
2. 本書に記載された動作概要及び応用回路例は、本製品の標準的な動作や使い方を説明するためのものです。したがって、実際に本製品を使用される場合には、外部諸条件を考慮のうえ回路・実装設計をしてください。
3. **設計に際しましては、最大定格、動作電源電圧範囲、放熱特性など保証範囲内でお使いください。保証値を超えての使用など本製品の誤った使用または不適切な使用等に起因する本製品の具体的な運用結果につきましては、当社は責任を負いかねますのでご了承ください。**
4. 本製品及び本書に記載された情報や図面等の使用に関して、当社は、第三者の工業所有権・知的所有権及びその他の権利に対する保証または実施権の許諾を行うものではありません。したがって、その使用に起因する第三者の権利侵害に対し、当社は責任を負いかねますのでご了承ください。
5. 当社は品質、信頼性の向上に努めておりますが、部品の性格上、ある確率の欠陥、故障が不可避だと考えられます。当社製品をお使いの場合には、この様な故障が生じましても直接人命を脅かしたり、身体または財産に危害を生じさせないよう、装置やシステム上で十分な安全設計をお願いします。
6. 本書記載の製品は、一般電子機器(事務機器、通信機器、計測機器、家電製品など)に使用されることを意図しております。特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、身体または財産に危害を及ぼす恐れのある装置やシステム(交通機器、安全装置、航空・宇宙機器、原子力制御、生命維持装置を含む医療機器など)に使用をお考えのお客様は、必ず事前に当社販売窓口までご相談願います。
7. 本書に記載された製品には、「外国為替及び外国貿易管理法」に基づく戦略物資等に該当するものがあります。したがって、該当製品またはその一部を輸出する場合には、同法に基づく日本国政府の輸出許可が必要となりますので、その申請手続きをお取りください。
8. 本書に記載された内容を、当社に無断で転載または複製することはご遠慮ください。

Copyright 2001 OKI ELECTRIC INDUSTRY CO., LTD.

OKI 沖電気工業株式会社

お問い合わせ先

本社別館	〒108-8551	東京都港区芝浦4丁目10番3号(本社別館) シリコンソリューションカンパニー 営業本部	東京 (03)5445-6027 (ダイヤルイン) FAX (03)5445-6058 http://www.oki.co.jp/semi/
東北支社	〒980-0811	仙台市青葉区一番町3丁目1番1号(仙台富士ビル)	仙台 (022)225-6605(代)
松本支店	〒390-0815	松本市深志2丁目5番2号(松本県信東邦生命ビル)	松本 (0263)36-7951(代)
中部支社	〒460-0003	名古屋市中区錦1丁目11番20号(大永ビル)	名古屋 (052)201-7008(代)
北陸支社	〒920-0981	金沢市片町1丁目5番20号(金沢福井ビル)	金沢 (0762)22-2600(代)
関西支社	〒541-0042	大阪市中央区今橋4丁目2番1号(大阪富士ビル)	大阪 (06)6226-1325(代)
中国支社	〒730-0013	広島市中区八丁堀15番10号(セントラルビル)	広島 (082)221-2209(代)
九州支社	〒810-0001	福岡市中央区天神2丁目13番7号(長銀ビル)	福岡 (092)771-9116(代)